

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP11150469
Publication date: 1999-06-02
Inventor(s): HIDA YOICHI
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested
Patent: ☐ JP11150469
Application
Number: JP19980173363 19980619
Priority Number
(s):
IPC Classification: H03K19/0175; G06F1/26; G11C11/417; G11C11/413; G11C11/41; G11C11/401;
G11C11/407; G11C11/409
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To easily provide an output of a signal whose amplitude is limited.
SOLUTION: A reference voltage is fed respectively to first and second voltage generating circuits 2, 3 of an input section with a high impedance to produce an internal voltage $V_{Cs}(V_{sa})$ from the circuit 2 (3), which causes an internal power supply voltage with a prescribed voltage level at a first power supply node 4 (7) of an output circuit 10. Stabilization capacitors 15, 18 are connected respectively to the internal power supply nodes of the output circuit. The power supply voltage depends on MOS transistors (TRs) 5, 8 operated in the source follower mode, a charging/discharging current is driven via the stabilizing capacitors in the operation of the output circuit, resulting in outputting surely an output signal the amplitude, of which is limited to an output node.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150469

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 F

G 0 6 F 1/26

G 0 6 F 1/00

3 3 0 D

G 1 1 C 11/417

G 1 1 C 11/34

3 0 5

11/413

3 3 5 A

11/41

3 4 5

審査請求 未請求 請求項の数57 O L (全 59 頁) 最終頁に続く

(21) 出願番号 特願平10-173363

(71) 出願人 000006013

三菱電機株式会社

(22) 出願日 平成10年(1998) 6月19日

東京都千代田区丸の内二丁目2番3号

(31) 優先権主張番号 特願平9-246643

(72) 発明者 飛田 洋一

(32) 優先日 平9(1997) 9月11日

東京都千代田区丸の内二丁目2番3号 三

(33) 優先権主張国 日本 (J P)

菱電機株式会社内

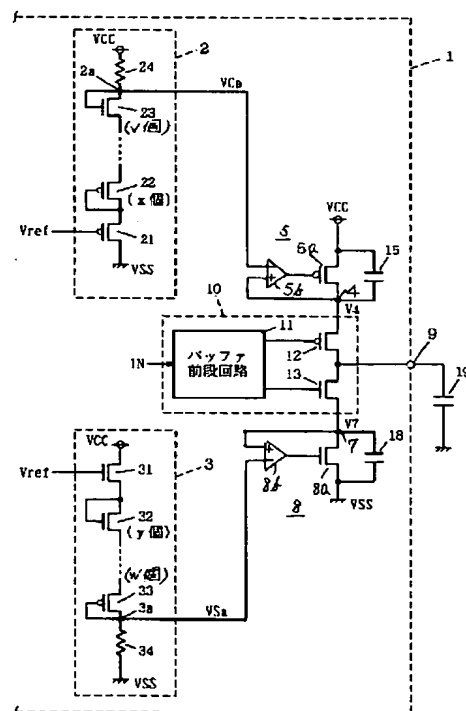
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 安定に振幅制限された信号を出力する。

【解決手段】 基準電圧を高インピーダンスの入力部に受ける第1および第2の電圧発生回路(2, 3)からの内部電圧(VC_a, VS_a)に従って出力回路(10)の電源ノード(4, 7)に、所定電圧レベルの内部電源電圧を生成する。この出力回路の内部電源ノードに安定化容量(15, 18)を接続する。電源電圧は、ソースフォロワモードで動作するMOSトランジスタ(5, 8)により決定され、出力回路の動作時には、安定化容量を介して充放電電流が駆動され、振幅制限された出力信号を確実に出力ノード(9)に出力することができる。



【特許請求の範囲】

【請求項 1】 第 1 のノードと出力ノードとの間に結合され、与えられた内部信号に従って前記出力ノードと前記第 1 のノードとを電気的に接続する第 1 の絶縁ゲート型電界効果トランジスタ、

第 2 のノードと前記出力ノードとの間に結合され、前記内部信号に従って前記第 1 の絶縁ゲート型電界効果トランジスタと相補的に導通して前記出力ノードと前記第 2 のノードとを電気的に接続する第 2 の絶縁ゲート型電界効果トランジスタ、

高入力インピーダンスを有する入力部に基準電圧を受け、前記基準電圧と第 1 の電圧源ノードの電圧との間の電圧レベルの一定電圧を生成する第 1 の電圧発生手段、前記第 1 の電圧発生手段の出力電圧と前記第 1 のノード上の電圧の差に応じて第 1 の電圧源から前記第 1 のノードへ電流を供給する第 1 の内部電源手段、

高入力インピーダンスを有する入力部に前記基準電圧を受け、前記基準電圧と第 2 の電圧源ノードの電圧との間の電圧レベルの一定電圧を生成する第 2 の電圧発生手段、および前記第 2 の電圧発生手段の出力電圧と前記第 2 のノード上の電圧の差に応じて前記第 2 のノードから前記第 1 の電圧源と異なる前記第 2 の電圧源ノードへ電流を流す第 2 の内部電源手段を備える、半導体集積回路。

【請求項 2】 前記第 1 のノードに結合され、前記第 1 のノードの電圧を安定化するための第 1 の容量素子と、前記第 1 の容量素子と別に設けられ、前記第 2 のノードに結合されて前記第 2 のノードの電圧を安定化するための第 2 の容量素子とをさらに備える、請求項 1 記載の半導体集積回路。

【請求項 3】 前記第 1 の内部電源手段は、前記第 1 の電圧源と前記第 1 のノードの間に結合される第 3 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の電圧発生手段の出力電圧と前記第 1 のノード上の電圧を比較し該比較結果を示す信号を前記第 3 の絶縁ゲート型電界効果トランジスタのゲートへ印加する第 1 の比較回路を備えて、

前記第 2 の内部電源手段は、

前記第 2 の電圧源と前記第 2 のノードとの間に結合されかつ前記第 3 の絶縁ゲート型電界効果トランジスタと異なる導電型を有する第 4 の絶縁ゲート型電界効果トランジスタと、

前記第 2 のノード上の電圧と前記第 2 の電圧発生手段の出力電圧とを比較し、該比較結果を示す信号を前記第 4 の絶縁ゲート型電界効果トランジスタのゲートへ印加する第 2 の比較回路を備える、請求項 1 記載の半導体集積回路。

【請求項 4】 前記第 1 の内部電源手段は、前記第 1 のノードと前記第 1 の電圧源との間に接続され、かつそのゲートに前記第 1 の電圧発生手段の出力電圧を受ける第

3 の絶縁ゲート型電界効果トランジスタを備え、

前記第 2 の内部電源手段は、前記第 2 のノードと前記第 2 の電圧源との間に結合されかつそのゲートに前記第 2 の電圧発生手段の出力電圧をゲートに受ける第 4 の絶縁ゲート型電界効果トランジスタを備える、請求項 1 記載の半導体集積回路。

【請求項 5】 前記第 1 の電圧発生手段は、

前記第 1 の電圧源の電圧以上の所定の電圧が供給される第 1 の電源ノードと前記第 2 の電圧源の電圧以下の電圧が供給される第 2 の電源ノードとの間に互いに直列に順次接続される、抵抗素子、少なくとも 1 個のダイオード接続された絶縁ゲート型電界効果トランジスタ、および前記基準電圧をゲートに受ける絶縁ゲート型電界効果トランジスタを含み、前記抵抗素子と前記ダイオード接続されたトランジスタの接続ノードから前記第 1 のノードの電圧レベルを決定する電圧が出力される、請求項 1 記載の半導体集積回路。

【請求項 6】 前記第 2 の電圧発生手段は、

前記第 1 の電圧源の電圧以上の電圧が供給される第 1 の電源ノードと前記第 2 の電圧源の電圧以下の電圧が供給される第 2 の電源ノードの間に互いに直列に順次接続される、前記基準電圧をゲートに受ける絶縁ゲート型電界効果トランジスタと、少なくとも 1 個のダイオード接続された絶縁ゲート型電界効果トランジスタと、抵抗素子とを含み、前記ダイオード接続されたトランジスタと前記抵抗素子との接続ノードから前記第 2 のノードの電圧レベルを決定する電圧が出力される、請求項 1 記載の半導体集積回路。

【請求項 7】 前記第 1 の電源ノードには、前記第 1 の電圧源の電圧よりも高い電圧が供給される、請求項 5 記載の半導体集積回路。

【請求項 8】 前記第 2 の電源ノードには、前記第 2 の電圧源の電圧よりも低い電圧が供給される、請求項 6 記載の半導体集積回路。

【請求項 9】 前記少なくとも 1 個のダイオード接続された絶縁ゲート型電界効果トランジスタは、少なくとも 1 個の第 1 導電型の絶縁ゲート型電界効果トランジスタ、少なくとも 1 個の第 2 導電型の絶縁ゲート型電界効果トランジスタとを含む、請求項 5 または 6 記載の半導体集積回路。

【請求項 10】 前記少なくとも 1 個のダイオード接続された絶縁ゲート型電界効果トランジスタは、前記基準電圧をゲートに受ける絶縁ゲート型電界効果トランジスタと異なる導電型を有する複数のダイオード接続された絶縁ゲート型電界効果トランジスタを含む、請求項 6 または 7 記載の半導体集積回路。

【請求項 11】 前記第 1 のノードと前記第 2 の電圧源との間に接続されるプルダウン素子と、前記第 2 のノードと前記第 1 の電圧源との間に接続されるプルアップ素子とをさらに備える、請求項 1 記載の半導体集積回路。

【請求項 12】 前記第 1 の絶縁ゲート型電界効果トランジスタは第 1 の導電型を有し、前記第 2 の絶縁ゲート型電界効果トランジスタは第 2 の導電型を有する、請求項 1 記載の半導体集積回路。

【請求項 13】 前記第 1 および第 2 の絶縁ゲート型電界効果トランジスタは同じ導電型を有する、請求項 1 記載の半導体集積回路。

【請求項 14】 前記内部信号の第 1 論理のレベル電圧を前記第 2 の電圧源の電圧よりも低い電圧に変換して前記第 1 の絶縁ゲート型電界効果トランジスタのゲートへ印加するレベル変換手段をさらに備える、請求項 12 記載の半導体集積回路。

【請求項 15】 前記内部信号の第 1 論理レベルの電圧を前記第 1 の電圧源の電圧よりも高い電圧に変換して前記第 2 の絶縁ゲート型電界効果トランジスタのゲートへ印加するレベル変換手段をさらに備える、請求項 12 記載の半導体集積回路。

【請求項 16】 前記内部信号の第 1 論理レベルの電圧を前記第 1 の電圧源の電圧よりも高い電圧に変換して前記第 1 の絶縁ゲート型電界効果トランジスタのゲートへ印加するレベル変換手段をさらに備える、請求項 12 記載の半導体集積回路。

【請求項 17】 各々に前記第 1 および第 2 の絶縁ゲート型電界効果トランジスタの組が配置される複数の前記出力ノードをさらに含み、前記第 1 および第 2 のノードは前記複数の出力ノードに共通に配置される、請求項 1 記載の半導体集積回路。

【請求項 18】 前記第 1 および第 2 のノードに、前記半導体集積回路が形成される半導体チップの外部に個別に配置される第 1 および第 2 の容量素子をそれぞれ接続するための接続ノードをさらに備える、請求項 1 記載の半導体集積回路。

【請求項 19】 前記第 1 の電圧発生手段の出力インピーダンスよりも小さな出力インピーダンスを有し、前記第 1 の電圧発生手段が出力する電圧に従って前記第 3 の絶縁ゲート型電界効果トランジスタのゲートへ電圧を印加する第 1 のインピーダンス変換手段をさらに備える、請求項 4 記載の半導体集積回路。

【請求項 20】 前記第 2 の電圧発生手段の出力インピーダンスよりも小さな出力インピーダンスを有し、前記第 2 の電圧発生手段が出力する電圧に従って前記第 4 の絶縁ゲート型電界効果トランジスタのゲートへ電圧を伝達するインピーダンス変換手段をさらに備える、請求項 4 記載の半導体集積回路。

【請求項 21】 前記第 1 の電圧発生手段は、前記第 1 の内部電源手段に結合され、前記第 1 の内部電源手段の入力ノードに与えられる電圧に対応する電圧を発生する比較電圧発生手段と、前記基準電圧と前記比較電圧発生手段の出力電圧とを比較する比較手段と、

前記第 1 の電圧源の電圧以上の電圧が印加されるドライブノードと前記第 1 の内部電源手段の入力ノードの間に接続され、前記比較手段の出力信号に従って前記ドライブノードから前記第 1 の内部電源手段の入力ノードへ電流を供給するドライブ素子とを含む、請求項 1 記載の半導体集積回路。

【請求項 22】 前記比較電圧発生手段は、前記第 1 の内部電源手段の入力ノードと前記比較手段の一方入力との間に互いに直列に接続される少なくとも 1 個の第 1 導電型の絶縁ゲート型電界効果トランジスタおよび少なくとも 1 個の第 2 導電型の絶縁ゲート型電界効果トランジスタの直列体と、前記比較手段の前記一方入力に結合されかつ前記直列体と直列に接続される定電流源とを備える、請求項 21 記載の半導体集積回路。

【請求項 23】 前記第 2 の電圧発生手段は、前記第 2 の内部電源手段の入力ノードに結合され、該入力ノードの電圧に対応する電圧を生成する比較電圧発生手段と、前記基準電圧と前記比較電圧発生手段の出力電圧とを比較する比較手段と、

前記第 2 の電圧源の電圧以下の電圧が供給される電源ノードと前記第 2 の内部電源手段の入力ノードとの間に結合され、前記比較手段の出力信号に従って前記第 2 の内部電源手段の入力ノードから前記電源ノードへ電流を供給するドライブ素子とを含む、請求項 1 記載の半導体集積回路。

【請求項 24】 前記比較電圧発生手段は、前記第 2 の内部電源手段の入力ノードと前記比較手段の一方入力に結合される内部ノードとの間に互いに直列に接続される少なくとも 1 個の第 1 導電型の絶縁ゲート型電界効果トランジスタと少なくとも 1 個の第 2 導電型の絶縁ゲート型電界効果トランジスタの直列体と、前記内部ノードに結合され、前記直列体に一定の電流を供給する定電流源とを備える、請求項 23 記載の半導体集積回路。

【請求項 25】 前記比較電圧発生手段は、抵抗素子を含む、請求項 21 または 23 記載の半導体集積回路。

【請求項 26】 前記比較電圧発生手段は、発生する比較電圧のレベルを調整するための溶断可能なリンク素子を含む、請求項 21 または 23 記載の半導体集積回路。

【請求項 27】 前記基準電圧は、前記半導体集積回路が形成される半導体チップと同一チップ上に形成される基準電圧発生回路により生成される、請求項 1 記載の半導体集積回路。

【請求項 28】 前記基準電圧は、前記半導体集積回路が形成される半導体チップの外部に設けられた基準電圧発生回路から与えられ、これにより各々が前記半導体集積回路を有する複数の半導体チップが存在するとき前記基準電圧発生回路の基準電圧が共通に前記複数の半導体チップに印加される、請求項 1 記載の半導体集積回路。

【請求項 2 9】 前記基準電圧は、入力信号の論理レベルを判定するための電圧として入力回路へも与えられる、請求項 2 7 または 2 8 記載の半導体集積回路。

【請求項 3 0】 行列状に配列される複数のスタックトキャパシタ型メモリセルと、
各前記行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線と、
各前記列に対応して配置され、各々に対応の列のメモリセルが接続する複数の対のビット線とをさらに有し、
前記第 1 および第 2 の容量素子の各々は、
第 1 導電型の半導体基板領域と、
前記半導体基板領域表面に互いに間をおいて形成される複数の第 1 導電型の不純物領域とを備え、前記複数の不純物領域は、前記メモリセルのビット線が電氣的に接続する領域に相当する第 1 の不純物領域と、前記メモリセルのキャパシタが電氣的に接続する領域に相当する第 2 の不純物領域とを有し、さらに、
前記第 2 の不純物領域に電氣的に接続されかつ前記キャパシタの一方電極と同一層に形成される互いに離れて配置される複数の第 1 導電層と、
前記第 1 の不純物領域に電氣的に接続されかつ前記ビット線と同一層に形成されるビット線相当導電層と、
前記基板領域上に前記ワード線と同一層に形成されるワード線相当導電層と、
前記第 1 導電層を覆うように形成されかつ前記メモリセルのキャパシタの他方電極層と同一層に形成される第 2 の導電層とを備え、
前記基板領域が前記容量素子の一方電極として作用し、かつ前記第 2 導電層が他方電極として作用する、請求項 2 記載の半導体集積回路。

【請求項 3 1】 行列状に配列される複数のスタックトキャパシタ型メモリセルと、
各前記行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線と、各前記列に対応して配置され、各々に対応の列のメモリセルが接続する複数の対のビット線とをさらに有し、
前記第 1 および第 2 の容量素子の各々は、
半導体基板領域と、
前記半導体基板領域上に前記ワード線と同一層に形成されるワード線相当導電層と、
前記ワード線相当導電層上にかつ前記ワード線相当導電層上にかつ対向して前記ビット線と同一層に形成されるビット線相当導電層と、
前記ビット線相当導電層上に互いに間をおいて前記メモリセルのキャパシタの一方電極層と同一層に形成されかつ前記ビット線相当導電層に電氣的に接続される複数の第 1 導電層と、
前記複数の第 1 導電層を覆うように前記メモリセルのキャパシタの他方電極と同一層に形成される第 2 導電層とを備え、

前記ビット線相当導電層と前記基板領域とが相互接続されて該容量素子の一方電極を形成しかつ前記ワード線相当導電層と前記第 2 導電層とが相互接続されて該容量素子の他方電極を形成する、請求項 2 記載の半導体集積回路。

【請求項 3 2】 行列状に配列される複数のスタックトキャパシタ型メモリセルと、
各前記行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線と、
各前記列に対応して配置され、各々に対応の列のメモリセルが接続される複数の対のビット線とをさらに有し、
前記第 1 および第 2 の容量素子の各々は、
第 1 導電型の半導体基板領域と、
前記半導体基板領域表面周辺部に形成される第 2 導電型の第 1 の不純物領域と、
前記半導体基板領域表面の周辺部に前記第 1 の不純物領域に隣接して形成される第 1 導電型の第 2 の不純物領域と、
前記基板領域上にわたって前記ワード線と同一層に形成されるワード線相当導電層と、
前記ワード線相当導電層上に互いに離れてかつ前記メモリセルのキャパシタの一方電極と同一層に形成されかつ前記ワード線相当導電層に電氣的に接続される第 1 の導電層と、
前記第 1 の導電層を覆うように前記メモリセルキャパシタの他方電極と同一層に形成される第 2 導電層とを備え、
前記第 1 の導電層は前記容量素子の一方電極ノードに電氣的に接続されかつ前記第 2 の導電層ならびに前記第 1 および第 2 の不純物領域は前記容量素子の他方電極ノードに電氣的に接続される、請求項 2 記載の半導体集積回路。

【請求項 3 3】 前記第 1 の容量素子は、前記第 1 のノードと前記第 1 の電圧源との間に接続される、請求項 2 記載の半導体集積回路。

【請求項 3 4】 前記第 1 の容量素子は、前記第 1 のノードと前記第 2 の電圧源との間に接続される、請求項 2 記載の半導体集積回路。

【請求項 3 5】 前記第 2 の容量素子は、前記第 2 のノードと前記第 2 の電圧源との間に接続される、請求項 2 記載の半導体集積回路。

【請求項 3 6】 前記第 2 の容量素子は、前記第 2 のノードと前記第 1 の電圧源との間に接続される、請求項 2 記載の半導体集積回路。

【請求項 3 7】 前記第 1 の容量素子は、前記第 1 のノードと前記第 1 の電圧源と別に設けられかつ前記第 1 の電圧源の電圧と同じ極性の電圧を供給する別の電圧源との間に接続される、請求項 2 記載の半導体集積回路。

【請求項 3 8】 前記第 2 の容量素子は、前記第 2 の電圧源と別に設けられかつ前記第 2 の電圧源の電圧と同じ

極性の電圧を供給する別の電圧源と前記第 2 のノードとの間に接続される、請求項 2 記載の半導体集積回路。

【請求項 39】 第 1 の電圧源上の電圧より低い電圧を発生して第 1 のノードへ伝達する第 1 の電圧発生回路、第 2 の電圧源上の電圧より高い電圧を発生して第 2 のノードへ伝達する第 2 の電圧発生回路、

前記第 1 のノードと前記第 2 のノードとの間に接続され、与えられた内部信号に従って出力ノードへ前記第 1 または第 2 のノード上の電圧レベルの電圧を伝達する出力手段、

前記第 1 のノードに結合されかつ前記第 1 のノードの電圧を安定化するための第 1 の容量素子、

前記第 2 のノードに結合されかつ前記第 2 のノードの電圧を安定化するための第 2 の容量素子、および前記第 1 のノードと前記第 2 のノードとの間に接続される第 3 の容量素子とを備える、半導体集積回路。

【請求項 40】 前記第 1 および第 2 の容量素子の容量値は互いに等しい、請求項 39 記載の半導体集積回路。

【請求項 41】 前記第 1 および第 2 の容量素子の容量値は互いに等しく、さらに前記第 1 のノードに結合される、前記第 1 の容量素子と同じ容量値を有する第 4 の容量素子と、

前記第 2 のノードに結合される、前記第 2 の容量素子と同じ容量値を有する第 5 の容量素子とをさらに備える、請求項 39 記載の半導体集積回路。

【請求項 42】 前記第 1 の容量素子は、前記第 1 のノードと前記第 1 の電圧源との間に接続され、前記第 4 の容量素子は前記第 1 のノードと前記第 2 の電圧源との間に接続される、請求項 41 記載の半導体集積回路。

【請求項 43】 前記第 1 の容量素子は、前記第 1 の電圧源と別に設けられて前記第 1 の電圧源の電圧と同一極性の電圧を供給する第 3 の電圧源と前記第 1 のノードとの間に接続され、かつ前記第 4 の容量素子は、前記第 2 の電圧源と別に設けられかつ前記第 2 の電圧源と同一極性の電圧を供給する第 4 の電圧源と前記第 1 のノードとの間に接続される、請求項 41 記載の半導体集積回路。

【請求項 44】 前記第 2 の容量素子は、前記第 2 の電圧源と前記第 2 のノードとの間に接続され、かつ前記第 5 の容量素子は前記第 2 のノードと前記第 1 の電圧源との間に接続される、請求項 41 記載の半導体集積回路。

【請求項 45】 前記第 2 の容量素子は、前記第 2 の電圧源と別に設けられかつ前記第 2 の電圧源の電圧と同一極性の電圧を供給する第 3 の電圧源と前記第 2 のノードとの間に接続され、かつ前記第 5 の容量素子は、前記第 1 の電圧源と別に設けられかつ前記第 1 の電圧源と同一極性の電圧を供給する第 4 の電圧源と前記第 2 のノードとの間に接続される、請求項 41 記載の半導体集積回路。

【請求項 46】 第 1 の電圧源上の電圧よりも低い電圧

を発生して第 1 のノードへ伝達する第 1 の電圧発生回路、

第 2 の電圧源上の電圧よりも高い電圧を発生して第 2 のノードへ伝達する第 2 の電圧発生回路、

前記第 1 および第 2 のノード上の電圧を両動作電源電圧として動作し、与えられた内部信号に従って出力ノードを駆動する出力手段、

前記第 1 のノードと前記第 1 の電圧源と同一極性の電圧を受ける第 1 基準ノードとの間に接続される第 1 の容量素子、

前記第 2 のノードと前記第 2 の電圧源と同一極性の電圧を受ける第 2 基準ノードとの間に接続される第 2 の容量素子、

前記第 1 のノードと前記第 2 の基準ノードとの間に接続される第 3 の容量素子および前記第 2 のノードと前記第 1 の基準ノードとの間に接続される第 4 の容量素子とを備える、半導体集積回路。

【請求項 47】 前記第 1 の基準ノードは前記第 1 の電圧源に接続されかつ前記第 2 の基準ノードは前記第 2 の電圧源に接続される、請求項 46 記載の半導体集積回路。

【請求項 48】 前記第 1 の基準ノードは前記第 1 の電圧源と別に設けられた電圧源に接続され、前記第 2 の基準ノードは前記第 2 の電圧源と別に設けられた電圧源に接続される、請求項 46 記載の半導体集積回路。

【請求項 49】 複数のメモリセルを有するメモリアレイと、

前記メモリアレイの選択メモリセルとの間でデータを転送するための複数の内部データバス線と、

前記複数の内部データバス線を介して前記メモリアレイとデータの転送を行なう処理回路とをさらに備え、

前記第 1 および第 2 の絶縁ゲート型電界効果トランジスタの対からなる出力手段が、前記複数の内部データバス線に対応して前記メモリアレイと前記処理回路との間に設けられる、請求項 1 記載の半導体集積回路。

【請求項 50】 複数のメモリセルを有するメモリアレイと、

前記メモリアレイの選択メモリセルとの間でデータを転送するための複数の内部データバス線と、

前記複数の内部データバス線を介して前記メモリアレイとデータの転送を行なう処理回路とをさらに備え、

前記出力手段は前記複数の内部データバス線それぞれに対応して前記メモリアレイと前記処理回路との間に配置される、請求項 39 または 46 記載の半導体集積回路。

【請求項 51】 前記複数の内部データバス線に対応して前記メモリアレイと前記処理回路との間に設けられ、各々が対応の内部データバス線の電圧と前記基準電圧とを差動増幅する複数のレシーバ手段をさらに備える、請求項 49 記載の半導体集積回路。

【請求項 52】 前記複数のデータバス線に対応して前

記メモリアレイと前記処理回路との間に設けられ、基準電圧と対応のデータバス線上の電圧とを差動増幅する複数のレシーバ手段をさらに備え、

前記第1および第2の電圧発生回路は、前記基準電圧に基づいて前記電圧を発生する手段を含む、請求項50記載の半導体集積回路。

【請求項53】 前記基準電圧は前記メモリアレイおよび前記処理回路が一体的に形成される半導体チップ上に設けられた基準電圧発生回路により発生される、請求項51または52記載の半導体集積回路。

【請求項54】 前記複数の内部データバス線は相補信号を伝達するように対をなして配設され、さらに、前記バス線対に対応して設けられ、対応のバス線対の信号を差動的に増幅する複数のレシーバ回路を備える、請求項49または50記載の半導体集積回路。

【請求項55】 前記複数の内部データバス線は、前記メモリアレイの選択メモリセルから読出されたデータを伝達する、請求項49または50記載の半導体集積回路。

【請求項56】 前記複数の内部データバス線は、前記メモリアレイの選択メモリセルへ書込むデータを伝達する、請求項49または50記載の半導体集積回路。

【請求項57】 前記複数の内部データバス線各々の一方側に前記出力手段が配置され、かつ他方端に前記レシーバ手段が設けられる、請求項51、52または54記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、論理回路および／または記憶回路を含む半導体装置における出力回路に関し、特に、半導体集積回路チップの出力段に設けられて、高速かつ安定に信号を伝達するための出力回路の構成に関する。

【0002】

【従来の技術】半導体集積回路の動作が高速化されるに従い、複数の集積回路装置間で伝達される信号も応じて高速で転送される。この場合、転送される信号の遷移時間（上昇時間および下降時間）を短くする必要がある。信号振幅が大きい場合、信号線間の容量結合に起因するクロストークノイズ、信号のリングングを生じさせるスイッチングノイズ、信号線の高速充放電に伴う電磁放射、および消費電力増大などの問題が顕著となる。このような問題を解決するために、信号振幅を小さくして信号を伝送する方法が種々考えられており、信号入力側に終端抵抗を設け、この終端抵抗により信号振幅を小さくする方法が知られている。このような信号振幅を抑制する方法として、SSTL-3 (Stub Series Terminated Logic for 3.3V) のクラスI方式などが提案されている。

【0003】また、このような振幅制限回路としては、

特開平6-326591号公報に示される回路がある。

【0004】しかしながら、このような終端抵抗を用いて信号振幅を制限する場合、出力回路に含まれるトランジスタ（MOSトランジスタ）の導通時の抵抗（オン抵抗）と終端抵抗の抵抗比で信号レベルが決定されるが、この終端抵抗から伝送路を介して出力回路の導通状態のトランジスタを介して直流電流が流れ、消費電流が増加するという問題が生じる。

【0005】また、終端抵抗の抵抗値は、伝送ラインの固有インピーダンスの値により決定されている（信号の反射による波形歪みが生じないようにインピーダンスマッチングを実現するためである）。したがって、信号振幅が決定された場合、この終端抵抗の抵抗値が予め定められているため、応じて必要とされる振幅制限を実現するために、この出力回路の最終出力段のトランジスタのオン抵抗がほぼ一意的に決定される。不飽和領域においてMOSトランジスタのドレイン電流とドレインソース間電圧の比は、チャネル幅とチャネル長の比 β の関数で与えられる。したがって、オン抵抗が決定されると、この係数 β の値も決まり、応じてこの出力MOSトランジスタの電流駆動力も予め決定される。したがって、その出力回路のファンアウトが制限され、数多くの回路を高速で駆動することが困難となる。

【0006】上述のような終端抵抗を用いて小振幅動作を実現する構成における問題点を解消するために、出力回路の動作電源電圧レベルを調整して、出力回路自身が出力信号振幅を制限する構成が提案されている（たとえば特開平6-326591号公報参照）。

【0007】図65は、従来の半導体集積回路装置の出力部の構成を示す図であり、たとえば上述の先行技術文献に示されている。

【0008】図65において、従来の半導体集積回路装置CHは、内部で生成された基準電圧 V_{TT} に従って、電源電圧 V_{CC} よりも低い内部電源電圧 V_{CC1} を生成する電源回路PW1と、基準電圧 V_{TT} に従って接地電圧 V_{SS} よりも高い他方内部電源電圧 V_{SS1} を生成する電源回路PW2と、この内部電源線CL上の内部電源電圧 V_{CC1} および内部接地線SL上の他方電源電圧 V_{SS1} を両動作電源電圧として動作し、内部からの信号NIに従って出力ノードNDを駆動して図示しない相手方チップへ伝達される出力信号OUTを生成する出力回路OBを含む。内部電源線CLと内部接地線SLの間には、安定化容量Cが接続される。

【0009】出力回路OBは、pチャネルMOSトランジスタQaとnチャネルMOSトランジスタQbとからなるCMOインバータで構成される。

【0010】電源回路PW1およびPW2が生成する内部電源電圧 V_{CC1} および V_{SS1} の電圧レベルは、相手方チップに設けられた終端抵抗の抵抗値とMOSトランジスタQaおよびQbのオン抵抗とこの出力信号OUT

Tの出力電圧VOUTおよび相手方チップにおける入力信号電圧VINの電圧から決定される。

【0011】基準電圧VT Tは、電源電圧VCCの中間電圧の $VCC/2$ の電圧レベルに設定される($VSS=0V$)。次に、この図65に示す半導体集積回路装置の信号出力動作を図66に示す信号波形図を参照して説明する。

【0012】電源回路PW1は、電源電圧VCCよりも低い内部電源電圧VCC1を出力し、また電源回路PW2は、この接地電圧VSSよりも高い他方内部電源電圧VSS1を出力している。内部回路は、電源電圧VCCおよび接地電圧VSSを両動作電源電圧として動作しており、内部信号NIは、この電源電圧VCCと接地電圧VSSの間で変化する。

【0013】内部信号NIがLレベルのときには、出力回路OBにおいて、MOSトランジスタQaがオン状態、MOSトランジスタQbがオフ状態にあり、出力信号OUTは、終端抵抗とこのMOSトランジスタQaのオン抵抗とにより決定される電圧レベルに保持される。内部信号NIがLレベルからHレベルに立上ると、MOSトランジスタQaがオフ状態へ移行し、MOSトランジスタQbがオン状態へ移行する。この内部信号NIと他方電源電位VSS1の電圧差がMOSトランジスタQbのしきい値電圧よりも高くなると、出力ノードNDの放電が開始され、出力信号OUTの電圧レベルが低下する。最終的に、この出力信号OUTは、終端抵抗とMOSトランジスタQbのオン抵抗の比により決定される電圧レベルに落ちつく。終端抵抗が存在しない場合には、この出力信号OUTのHレベル(VOH)は、内部電源電圧VCC1の電圧レベルであり、また終端抵抗が存在しない場合には、出力信号OUTのLレベル(VOL)の電圧レベルは他方内部電源電圧VSS1の電圧レベルである。

【0014】この図65に示す半導体集積回路装置の構成において、終端抵抗が存在する場合においては、内部電源電圧VCC1およびVSS1の電圧レベルを適当な値に設定することにより、MOSトランジスタQaおよびQbのオン抵抗の値を調整している。

【0015】たとえば図67に示すように、相手方チップCHAの入力部が、終端抵抗RTを介して入力信号VIN(図65に示す集積回路装置CHの出力信号OUT)を負入力に受け、かつ入力信号VINを正入力に受ける差動増幅器DAを含む構成を考える。この差動増幅器DAの負入力は、基準電圧VT Tに保持される。終端抵抗RTは、出力信号OUTが伝送される伝送路の特性インピーダンスに合わせてその抵抗値が決定される。今、この終端抵抗RTの抵抗値を 50Ω とし、図65に示す出力信号OUTおよび入力信号VINのLレベルが $VT T-400mV$ とし、また図65に示す出力回路OBのトランジスタQaおよびQbのオン抵抗を 25Ω と

する。この場合、低電位内部電源電圧VSS1の値は、 $VT T-600mV$ に設定する。同様に、出力信号OUTおよび入力信号VINのHレベルが $VT T+400mV$ のときには、内部電源電圧VCC1は、 $VT T+600mV$ に設定される。この場合、MOSトランジスタQaおよびQbのオン抵抗に合わせて内部電源電圧VCC1およびVSS1の電圧レベルが決定される。逆に言えば、この内部電源電圧VCC1およびVSS1の電圧レベルを変更することにより、MOSトランジスタQaおよびQbのオン抵抗を変更し、応じて電流駆動力を調整する。これにより、必要なファンアウトを実現することを図る。

【0016】また、この終端抵抗RTが設けられていない場合には、この終端抵抗RTおよび出力回路OBに含まれるオン状態のMOSトランジスタと基準電圧VT T源(相手方チップCHA内)の間に直流電流が流れるのを防止することを図る。この場合においても、内部電源電圧VCC1およびVSS1によりその出力信号OUTの電圧レベルが決定され、応じて小振幅動作の実現を図る。

【0017】

【発明が解決しようとする課題】図68は、図65に示す電源回路PW1の構成を示す図である。図68において、電源回路PW1は、電源線VLとノードNDbの間に直列に接続される高抵抗の抵抗素子RaおよびRbと、ノードNDbにゲートおよびドレインが接続されるnチャネルMOSトランジスタQcと、ドレインが電源線VLに接続されかつゲートがノードNDaに接続されるnチャネルMOSトランジスタQdを含む。MOSトランジスタQcは、そのソースに基準電圧VT Tを受ける。MOSトランジスタQdは、そのソースが内部電源線CLに接続され、この内部電源線CL上に内部電源電圧VCC1を出力する。

【0018】この図68に示す電源回路PW1の構成において、高抵抗抵抗素子RaおよびRbには微小電流が流れ、応じて、MOSトランジスタQcがダイオードモードで動作する。したがって、ノードNDbの電圧レベルは、 $VT T+|V_{th}|$ で与えられる。ここで、 V_{th} は、MOSトランジスタQcのしきい値電圧を示す。抵抗素子RaおよびRbの接続ノードNDaの電圧レベルは抵抗素子RaおよびRbの抵抗比により決定される。今、抵抗素子RaおよびRbの抵抗値が等しい場合、ノードNDaの電圧レベルは接地電圧VSSを基準として次式で与えられる。

$$\text{【0019】 } (VCC + VT T + V_{th}) / 2 = (3/4) VCC + (V_{th} / 2)$$

出力段のMOSトランジスタQdは、そのゲート電圧が電源電圧VCCよりも低いため($V_{th} < VT T = VCC/2$)、ソースフォロワモードで動作し、したがって内部電源線CL上の内部電源電圧VCC1は次式で与え

られる。

【0020】

$V_{CC1} = (3/4)V_{CC} - (1/2)V_{th}$
抵抗素子 R_a および R_b の抵抗比を適当な値に設定することにより、上式で示す内部電源電圧 V_{CC1} の値を調整することができる。この場合、内部電源電圧 V_{CC1} は、電源電圧 V_{CC} の電圧レベルに応じて変化する。電源回路 $PW2$ の構成も、この図 68 に示す電源回路と同様の構成であり、電圧極性およびトランジスタの導電型を変更すれば、実現される。この場合、低電位内部電源電圧 V_{SS1} は次式で与えられる：

$V_{TT}/2 + V_{thp}/2 = V_{CC}/4 + V_{thp}/2$
ここで、 V_{thp} は、 p チャネル MOS トランジスタのしきい値電圧の絶対値を示す。したがって、これらのしきい値電圧 V_{th} および V_{thp} が等しければ、基準電圧 V_{TT} ($=V_{CC}/2$) を中心として、上下それぞれの振幅が $V_{CC}/4 - V_{th}/2$ である信号が出力される。

【0021】しかしながら、この図 68 に示す電源回路の構成の場合、電源線 VL から抵抗素子 R_a および R_b ならびに MOS トランジスタ Q_c を介して電流が流れ、この基準電圧 V_{TT} の電圧レベルが変化し、したがって、正確に、所望の電圧レベルに内部電源電圧 V_{CC1} および V_{SS1} の電圧レベルを設定することができなくなる。また、信号の高レベルおよび低レベルの中心から振幅が異なり、信号振幅の対称性が壊られるため、入力信号確定タイミングも H レベルおよび L レベルで異なるため、最悪ケースを想定して、入力信号判定タイミングを決定する必要があり、高速動作を保証することができなくなる。

【0022】また、出力回路からは数多くの半導体集積回路装置へ信号が伝達されるため、大きな電流が流れる。この場合、図 65 に示す安定化容量 C により、この消費電流を補償することが要求される。しかしながら、ファンアウトが大きい場合、大きな消費電流を補償するためには、大きな容量を有する安定化容量が必要とされる。しかしながら、このような安定化容量を、半導体集積回路装置上の限られた領域内で実現するのが困難であり、安定に内部電源電圧を生成することができなくなるという欠点が生じる。

【0023】また、この先行技術の構成においては、電源電圧 V_{CC} および接地電圧 V_{SS} の中間電圧 V_{TT} は、半導体集積回路装置内部で生成されており、電源電圧 $V_{CC}/2$ の電圧レベルに設定される。したがって、半導体集積回路装置（半導体チップ）に、その内部電源電圧の変動が生じた場合、各半導体集積回路装置（半導体チップ）の基準電圧レベルが異なり、半導体集積回路装置間で信号の授受を行なう場合、その基準電圧レベルが異なるため、正確な信号の送受を行なうことができないという問題が生じる。

【0024】また、近年、プロセッサまたはロジックとメモリが同じ半導体チップ上に集積化されるシステム LSI が開発されている。このようなシステム LSI においては、プロセッサまたはロジック（以下、処理回路と称す）とメモリの間のデータバスの幅は十分大きくとることができる（同一半導体チップ上にこれらが設けられており、ピン端子数の制限がなくなるためである）。これにより、高速でデータを処理回路とメモリとの間で転送することができる。このようなビット幅の大きなバスを駆動する場合、内部データバスを駆動する回路が数多く同時に動作するため、消費電流が大きくなり、電源電圧が低下し、電源電圧に対する動作マージンが減少する可能性がある。これは、接地電圧についても同様である。また、システム LSI においては、内部データは、通常、クロック信号に同期して転送されるため、内部データバス線の充放電周波数が高く、半導体チップからのこの高速の充放電に起因する EMI （電磁放射）が大きくなり、近くで利用される電子機器の誤動作が生じる可能性がある。

【0025】また、このように消費電流が大きい場合、発熱量も大きくなり、システム LSI の信頼性が低下する（発熱による誤動作または内部配線の断線等）。

【0026】それゆえ、この発明の目的は常に安定に一定の電圧レベルを中心とした振幅を有する出力信号を生成することのできる半導体集積回路を提供することである。

【0027】この発明の他の目的は、電源電圧に依存しない電圧レベルを中心とした信号振幅を有する信号を出力することのできる半導体集積回路を提供することである。

【0028】この発明の他の目的は、面積効率に優れた安定化容量を備える出力信号振幅制限機能を実現する半導体集積回路を提供することである。

【0029】この発明のさらに他の目的は、信号出力時においても、安定に所望の電圧レベルの信号を出力することのできる半導体集積回路を提供することである。

【0030】この発明のさらに他の目的は、信号出力時においても、その動作電源電圧の変動が十分に抑制された安定に出力信号を生成することのできる半導体集積回路を提供することである。

【0031】この発明のさらに他の目的は、消費電流を増加させることなく安定にデータの転送を行なうことのできる処理回路およびメモリが集積化された半導体集積回路を提供することである。

【0032】

【課題を解決するための手段】請求項 1 に係る回路は、第 1 のノードと出力ノードとの間に結合され、内部信号に従って出力ノードと第 1 のノードとを電氣的に接続する第 1 の MOS トランジスタと、第 2 のノードと出力ノードとの間に結合され、この内部信号に従って第 1 の M

OSトランジスタと相補的に導通して出力ノードと第2のノードとを電氣的に接続する第2のMOSトランジスタと、高入力インピーダンスを有する入力部に基準電圧を受け、この基準電圧と第1の電圧源ノードの電圧との間の一定電圧を生成する第1の電圧発生手段と、高入力インピーダンスを有する入力部に基準電圧を受け、この基準電圧と第2の電圧源ノードの電圧との間の一定電圧を生成する第2の電圧発生手段と第1の電圧発生手段の出力電圧と第1のノード上の電圧の差に応じて第1の電圧源から第1のノードへ電流を供給する第1の内部電源手段と、第2の電圧発生手段の出力電圧と第2のノード上の電圧との差に応じて第2のノードから第1の電圧源と異なる第2の電圧源へ電流を流す第2の内部電源手段とを備える。

【0033】請求項2に係る回路は、第1のノードに結合され、この第1のノードの電圧を安定化するための第1の容量素子と、第2のノードに結合され、この第2のノードの電圧を安定化するための第1の容量素子とは別に設けられる第2の容量素子をさらに備える。

【0034】請求項3に係る回路は、請求項1の第1の内部電源手段は、第1の電圧源と第1のノードの間に結合される第3のMOSトランジスタと、第1のノード上の電圧と第1の電圧発生手段からの電圧とを比較し、該比較結果を示す信号をこの第3のMOSトランジスタのゲートへ与える第1の比較回路とを備え、第2の内部電源手段が、第2のノードと第1の電圧源と異なる第2の電圧源との間に結合される第4のMOSトランジスタと、第2のノード上の電圧と第2の電圧発生手段の出力電圧とを比較し、その比較結果に従う信号を第4のMOSトランジスタのゲートへ印加する第2の比較回路を備える。

【0035】請求項4に係る回路は、請求項1の第1の内部電源手段が、第1のノードと第1の電圧源との間に接続され、第1の電圧発生手段からの電圧をゲートに受ける第3のMOSトランジスタを備え、第2の内部電源手段が、第2のノードと第1の電圧源と異なる第2の電圧源との間に結合され、第2の電圧発生手段の出力電圧をゲートに受ける第4のMOSトランジスタを備える。

【0036】請求項5に係る回路は、請求項1の第1の電圧発生手段が、第1の電圧源の電圧以上の所定の電圧が供給される第1の電源ノードとこの第2の電圧源の電圧以下の電圧が供給される第2の電源ノードとの間に互いに直列に接続される、抵抗素子、少なくとも1個のダイオード接続されたMOSトランジスタの直列体および基準電圧をゲートに受けるMOSトランジスタを備える。抵抗素子と少なくとも1個のトランジスタとの接続点から第1のノードの電圧を規定する電圧が出力される。

【0037】請求項6に係る回路は、請求項1の第2の電圧発生手段が、第1の電圧源の電圧以上の所定電圧が

供給される第1の電源ノードと第2の電圧源の電圧以下の電圧が供給される第2の電源ノードとの間に互いに直列に接続される基準電圧をゲートに受けるMOSトランジスタと、少なくとも1個のダイオード接続されたMOSトランジスタと、抵抗素子とを含む。少なくとも1個のトランジスタと抵抗素子との接続ノードから第2のノードの電圧を規定する電圧が出力される。

【0038】請求項7に係る回路は、請求項6の第1の電源ノードには、第1の電圧源の電圧よりも高い電圧が供給される。

【0039】請求項8に係る回路は、請求項7の第2の電源ノードには、第2の電圧源の電圧よりも低い電圧が供給される。

【0040】請求項9に係る出力回路は、請求項6または7の少なくとも1個のダイオード接続されたMOSトランジスタは、少なくとも1つの第1導電型のMOSトランジスタと、少なくとも1つの第2導電型のMOSトランジスタとを含む。

【0041】請求項10に係る回路は、請求項6または7の少なくとも1個のダイオード接続されたMOSトランジスタは、基準電圧をゲートに受けるMOSトランジスタと異なる導電型を有する複数のMOSトランジスタを含む。

【0042】請求項11に係る回路は、請求項1の回路が、さらに、第1のノードと第2の電圧源の間に接続されるプルダウン素子と、第2のノードと第1の電圧源との間に接続されるプルアップ素子とを備える。

【0043】請求項12に係る回路は、請求項1の第1のMOSトランジスタは第1の導電型を有し、第2のMOSトランジスタは第2の導電型を有する。

【0044】請求項13の回路は、請求項1の第1および第2のMOSトランジスタが同じ導電型を有する。

【0045】請求項14の回路は、請求項12の回路が、さらに、内部信号の第1論理レベル電圧を第2の電圧源の電圧よりも低い電圧に変換して第1のMOSトランジスタのゲートへ印加するレベル変換手段を備える。

【0046】請求項15の回路は、請求項12の回路が、さらに、内部信号の第1論理レベル電圧を第1の電圧源の電圧よりも高い電圧に変換して第2のMOSトランジスタのゲートへ印加するレベル変換手段を備える。

【0047】請求項16に係る回路は、請求項13の回路が、さらに、内部信号の第1論理レベル電圧を第1の電圧源の電圧よりも高い電圧に変換して第1のMOSトランジスタのゲートへ印加するレベル変換手段をさらに備える。

【0048】請求項17に係る回路は、請求項1の回路が、複数の出力ノードを含む。これらの複数の出力ノード各々には、第1および第2のMOSトランジスタの組が対応して設けられる。第1および第2のノードはこれら複数の出力ノードに共通に配置される。

【0049】請求項18の回路は、請求項2の第1および第2の容量素子が、この回路が形成される半導体チップの外部に個別的に配置される。

【0050】請求項19の回路は、請求項4の回路が、第1の電圧発生手段の出力インピーダンスよりも小さな出力インピーダンスを有し、この第1の電圧発生手段の出力電圧に従って第3のMOSトランジスタのゲートへ電圧を印加するインピーダンス変換手段をさらに備える。

【0051】請求項20の回路は、請求項4の回路が、さらに、第2の電圧発生手段の出力インピーダンスよりも小さな出力インピーダンスを有し、第2の電圧発生手段の出力電圧に従って第4のMOSトランジスタのゲートへ電圧を伝達するインピーダンス変換手段をさらに備える。

【0052】請求項21の回路は、請求項1の第1の電圧発生手段が、第1の内部電源手段の入力ノードの電圧に対応する電圧を発生する比較電圧発生手段と、基準電圧とこの比較電圧発生手段の出力電圧とを比較する比較手段と、第1の電圧源の電圧以上の電圧が印加されるドライブノードと第1の内部電源手段の入力ノードの間に接続され、この比較手段の出力信号に従ってドライブノードから第1の内部電源手段の入力ノードへ電流を供給するドライブ素子を含む。

【0053】請求項22の回路は、請求項21の比較電圧発生手段が、第1の内部電源手段の入力ノードと比較手段の一方入力との間に互いに直列に接続される少なくとも1個の第1導電型のMOSトランジスタおよび少なくとも1個の第2導電型のMOSトランジスタの直列体と、比較手段の一方入力に結合されかつこの直列体と直列に接続される定電流源とを備える。

【0054】請求項23の回路は、請求項1の第2の電圧発生手段が、第2の内部電源手段の入力ノードの電圧に対応する電圧を生成する比較電圧発生手段と、基準電圧とこの比較電圧発生手段の出力電圧とを比較する比較手段と、第2の電圧源の電圧以下の電圧が供給される電源ノードと第2の内部電源手段の入力ノードとの間に結合され、この比較手段の出力信号に従って第2の内部電源手段の入力ノードから電源ノードへ電流を供給するドライブ素子を含む。

【0055】請求項24の回路は、請求項23の比較電圧発生手段が、第2の内部電源手段の入力ノードと比較手段の一方入力に結合される内部ノードとの間に互いに直列に接続される少なくとも1個の第1導電型のMOSトランジスタおよび少なくとも1個の第2導電型のMOSトランジスタの直列体と、この内部ノードに結合され、この直列体に一定電流を供給する定電流源とを備える。

【0056】請求項25の回路は、請求項21または23の比較電圧発生手段が、抵抗素子と、この抵抗素子に

一定電流を供給する定電流源とを含む。

【0057】請求項26の回路は、請求項21または23の比較電圧発生手段が、発生する電圧のレベルを調整するための溶断可能なリンク素子を含む。

【0058】請求項27の回路は、請求項1の回路において基準電圧が、この回路が形成される半導体チップと同一チップ上に形成される基準電圧発生回路から生成される。

【0059】請求項28の回路は、請求項1の回路において基準電圧は、この回路が形成される半導体チップの外部に設けられた基準電圧発生回路から与えられる。これにより、各々が該回路を有する複数の半導体チップが存在するとき、これら複数の半導体チップに対し共通に基準電圧発生回路からの基準電圧が印加される。

【0060】請求項29の回路は、請求項27または28の回路が、さらに、基準電圧入力信号の論理レベルを判定するための電圧として受け、この比較結果に従って内部信号を生成する入力回路をさらに含む。

【0061】請求項30に係る回路は、請求項2の回路がさらに、行列状に配列される複数のスタックトキャパシタ型メモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルが接続する複数の対のビット線とを有する。第1および第2の容量素子の各々は、第1導電型の半導体基板領域と、この半導体基板領域表面に互いに間をおいて形成される複数の第1導電型の不純物領域とを含む。これら複数の第1導電型の不純物領域は、メモリセルのビット線接続領域に相当する第1の不純物領域と、メモリセルのキャパシタが接続する不純物領域に相当する第2の不純物領域とを含む。

【0062】この請求項30の回路は、請求項2の回路がさらに、第1の不純物領域に電気的に接続されかつビット線と同一層に形成されるビット線相当導電層と、キャパシタの一方電極と同一層に形成されかつ互いに離れて配置されかつ第2の不純物領域に電気的に接続される複数の第1の導電層と、基板領域上にワード線と同一層に形成されるワード線相当導電層と、第1導電層を覆うように形成されかつメモリセルのキャパシタの他方電極層と同一層に形成される第2の導電層とを備える。この基板領域が容量素子の一方電極として作用し、かつ第2導電層がこの容量素子の他方電極として作用する。

【0063】請求項31の回路は、請求項2の回路が、さらに、行列状に配列される複数のスタックトキャパシタ型メモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルが接続する複数の対のビット線とを備える。

【0064】この請求項31の回路の第1および第2の容量素子の各々は、半導体基板領域と、この半導体基板

領域上にわたってワード線と同一層に形成されるワード線相当導電層と、このワード線相当導電層上にかつこれと対向してビット線と同一層に形成されるビット線相当導電層と、このビット線相当導電層上に互いに間をおいてメモリセルのキャパシタの一方電極層と同一層に形成されかつこのビット線相当導電層に電氣的に接続される複数の第 1 導電層と、これら複数の第 1 導電層を覆うようにメモリセルのキャパシタの他方電極と同一層に形成される第 2 導電層とを備える。ビット線相当導電層と基板領域とが相互接続されて容量素子の一方電極を形成し、かつワード線相当導電層と第 2 導電層とが相互接続されてこの容量素子の他方電極を形成する。

【0065】請求項 3 2 に係る回路は、請求項 2 の回路が、さらに、行列状に配列される複数のスタックドキャパシタ型メモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルが接続する複数の対のビット線をさらに備える。

【0066】この請求項 3 2 の回路における第 1 および第 2 の容量素子の各々が、第 1 導電型の半導体基板領域と、この半導体基板領域表面周辺部に形成される第 2 導電型の第 1 の不純物領域と、この半導体基板領域表面の周辺部に第 1 の不純物領域に隣接して形成される第 1 導電型の第 2 の不純物領域と、この基板領域上にわたってワード線と同一層に形成されるワード線相当導電層と、このワード線相当導電層上に互いに離れてかつメモリセルのキャパシタの一方電極と同一層に形成されかつワード線相当導電層に電氣的に接続される複数の第 1 の導電層と、この第 1 の導電層を覆うようにかつメモリセルのキャパシタの他方電極と同一層に形成される第 2 の導電層を備える。この第 1 の導電層が容量素子の一方電極を形成し、かつ第 2 の導電層ならびに第 1 および第 2 の不純物領域がこの容量素子の他方電極に電氣的に接続される。

【0067】請求項 3 3 に係る回路は、請求項 2 の第 1 の容量素子が、第 1 のノードと第 1 の電圧源との間に接続される。

【0068】請求項 3 4 の回路は、請求項 2 の第 1 の容量素子が、第 1 のノードと、第 2 の電圧源との間に接続される。

【0069】請求項 3 5 に係る回路は、請求項 2 の第 2 の容量素子が、第 2 のノードと第 2 の電圧源との間に接続される。

【0070】請求項 3 6 に係る回路は、請求項 2 の第 2 の容量素子が、第 2 のノードと第 1 の電圧源との間に接続される。

【0071】請求項 3 7 に係る回路は、請求項 2 の第 1 の容量素子が、第 1 のノードと第 1 の電圧源と別に設けられかつこの第 1 の電圧源の電圧と同じ極性の電圧を供給する別の電圧源との間に接続される。

【0072】請求項 3 8 に係る回路は、請求項 2 の第 2 の容量素子が、第 2 の電圧源と別に設けられかつ第 2 の電圧源の電圧と同じ極性の電圧を供給する別の電圧源と第 2 のノードとの間に接続される。

【0073】請求項 3 9 に係る回路は、第 1 の電圧源上の電圧より低い電圧を発生して第 1 のノードへ伝達する第 1 の電圧発生回路と、第 2 の電圧源上の電圧より高い電圧を発生して第 2 のノードへ伝達する第 2 の電圧発生回路と、第 1 のノードと第 2 のノードとの間に接続され、与えられた内部信号に従って出力ノードへこの第 1 または第 2 のノード上の電圧の一方の電圧レベルの信号を伝達する出力手段と、第 1 のノードに接続されかつ第 1 の容量素子と、第 2 のノードに接続される第 2 の容量素子と、第 1 のノードと第 2 のノードとの間に接続される第 3 の容量素子を備える。

【0074】請求項 4 0 に係る回路は、請求項 3 9 の第 1 および第 2 の容量素子の容量値が互いに等しくされる。

【0075】請求項 4 1 に係る半導体集積回路は、請求項 4 0 の第 1 および第 2 の容量素子の容量値は互いに等しくされる。この請求項 4 2 に係る回路は、さらに、第 1 のノードに結合される、第 1 の容量素子と同じ容量値を有する第 4 の容量素子と、第 2 のノードに結合され、記第 2 の容量素子と同じ容量値を有する第 5 の容量素子とをさらに備える。

【0076】請求項 4 2 に係る回路は、請求項 4 1 の第 1 の容量素子が第 1 のノードと第 1 の電圧源との間に接続され、かつ第 4 の容量素子が第 1 のノードと第 2 の電圧源との間に接続される。

【0077】請求項 4 3 に係る回路は、請求項 4 1 の第 1 の容量素子が第 1 の電圧源と別に設けられかつ第 1 の電圧源の電圧と同一極性の電圧を供給する第 3 の電圧源と第 1 のノードとの間に接続され、かつ第 4 の容量素子が第 2 の電圧源と別に設けられかつこの第 2 の電圧源と同一極性の電圧を供給する第 4 の電圧源と第 1 のノードとの間に接続される。

【0078】請求項 4 4 に係る回路は、請求項 4 1 の回路において、第 2 の容量素子が第 2 の電圧源と第 2 のノードとの間に接続され、かつ第 5 の容量素子は第 2 のノードと第 1 の電圧源との間に接続される。

【0079】請求項 4 5 に係る回路は、請求項 4 1 の回路において、第 2 の容量素子が第 2 の電圧源と別に設けられかつ第 2 の電圧源の電圧と同一極性の電圧を供給する第 3 の電圧源と第 2 のノードとの間に接続され、かつ第 5 の容量素子は、第 1 の電圧源と別に設けられかつ第 1 の電圧源と同一極性の電圧を供給する第 4 の電圧源と第 2 のノードとの間に接続される。

【0080】請求項 4 6 に係る回路は、第 1 の電圧源上の電圧よりも低い電圧を発生して第 1 のノードへ伝達する第 1 の電圧発生回路と、第 2 の電圧源上の電圧よりも

高い電圧を発生して第2のノードへ伝達する第2の電圧発生回路とこれら第1および第2のノード上の電圧を両動作電源電圧として動作し、与えられた内部信号に従って出力ノードを駆動する出力手段と、第1のノードと第1の電圧源と同一極性の電圧を受ける第1基準ノードとの間に接続される第1の容量素子と、第2のノードと第2の電圧源の電圧と同じ極性の電圧を受ける第2の基準ノードとの間に接続される第2の容量素子と、第1のノードと第2の基準ノードとの間に接続される第3の容量素子と、第2のノードと第1の基準ノードとの間に接続される第4の容量素子とを備える。

【0081】請求項47に係る回路は、請求項46の回路において第1の基準ノードが第1の電圧源に接続されかつ第2の基準ノードが第2の電圧源に接続される。

【0082】請求項48に係る回路は、請求項46の回路において第1の基準ノードが第1の電圧源と別に設けられた電圧源に接続され、第2の基準ノードは、この第2の電圧源と別に設けられた電圧源に接続される。

【0083】請求項49に係る回路は、請求項1の回路が、さらに、複数のメモリセルを有するメモリアレイと、このメモリアレイの選択メモリセルとの間でデータを転送するための複数の内部データバス線と、これら複数の内部データバス線を介してメモリアレイとデータの転送を行なう処理回路を備える。第1および第2の絶縁ゲート型電界効果トランジスタの対からなる出力手段が複数の内部データバス線各々に対応してメモリアレイと処理回路との間に設けられる。

【0084】請求項50に係る回路は、請求項39または46の回路が、さらに、複数のメモリセルを有するメモリアレイと、このメモリアレイの選択メモリセルとの間でデータを転送するための複数の内部データバス線と、これら複数の内部データバス線を介してメモリアレイとデータの転送を行なう処理回路を備える。出力手段は、複数の内部データバス線それぞれに対応してメモリアレイと処理回路との間に配置される。

【0085】請求項51に係る回路は、請求項49の回路が、さらに、複数のデータバス線に対応してメモリアレイと処理回路との間に設けられ、各々が対応のデータバス線の電圧と基準電圧とを差動増幅するレシーバ手段を備える。

【0086】請求項52に係る回路は、請求項50の回路が、さらに、複数の内部データバス線に対応してメモリアレイと処理回路との間に設けられ、基準電圧と対応のデータバス線上の電圧とを差動増幅する複数のレシーバ手段を備える。第1および第2の電圧発生回路は、この基準電圧に基づいて電圧を発生する手段を含む。

【0087】請求項53に係る回路は、請求項51または52の基準電圧が、メモリアレイおよび処理回路が一体的に形成された半導体チップ上に設けられた基準電圧発生回路から発生される。

【0088】請求項54に係る回路は、請求項49または50の回路がさらに、内部データバス線対に対応して設けられ、対応の内部データバス線対の信号を差動的に増幅する複数のレシーバ手段を備える。バス線対各々には、相補信号が伝達される。

【0089】請求項55に係る回路は、請求項49または50の複数の内部データバス線が、メモリアレイの選択メモリセルから読出されたデータを伝達する。

【0090】請求項56に係る回路は、請求項49または50の複数の内部データバス線がメモリアレイの選択メモリセルへ書込むデータを転送する。

【0091】請求項57に係る回路は、請求項51、52または54の回路において複数の内部データバス線各々の一方端に出力手段が配置され、各内部データバス線の他方端にレシーバ手段が配置される。

【0092】高入力インピーダンスの入力部に基準電圧を受けて内部電源電圧を生成することにより、内部電源電圧発生動作が基準電圧に対し影響を及ぼすことがなく、応じて基準電圧が安定に所望の電圧レベルに保持され、これにより、安定に所望の電圧レベルを有する内部電源電圧を生成することができる。応じて、安定に所望の小振幅を有する出力信号を生成することができる。

【0093】また、第1および第2のノード各々に対し並列に2つの容量素子を接続することにより、回路動作時においてこれら第1および第2のノードの電圧を安定化させることができ、安定に所望の電圧レベルの信号を出力することができる。

【0094】

【発明の実施の形態】 [実施の形態1] 図1は、この発明の実施の形態1に従う半導体集積回路の信号出力部の構成を示す図である。図1において、この半導体集積回路1は、基準電圧 V_{ref} を高入力インピーダンスを介して受け、この基準電圧 V_{ref} に従って、基準電圧 V_{ref} と電源電圧 V_{CC} の間の電圧 V_{Ca} を生成する第1の電圧発生回路2と、基準電圧 V_{ref} を高入力インピーダンスを介して受け、この基準電圧 V_{ref} に従って接地電圧 V_{SS} と基準電圧 V_{ref} の間の電圧 V_{Sa} を生成する第2の電圧発生回路3と、電源電圧 V_{CC} を供給する第1の電圧源 V_{CC} （電圧源とその電圧を同じ符号で示す）と第1のノード4の間に接続され、この第1の電圧発生回路2から与えられる電圧 V_{Ca} に従って内部電源電圧 V_4 を生成して第1のノード4に伝達する第1の電源回路5と、接地電圧 V_{SS} を供給する第2の電圧源 V_{SS} と第2のノード7の間に接続され、第2の電圧発生回路3からの電圧 V_{Sa} に従って低電位内部電源電圧を生成して第2のノード7へ伝達する第2の電源回路8と、内部信号 I_N に従って、第1のノード4および第2のノード7上の電圧の一方を出力ノード9へ伝達する出力回路10を含む。

【0095】第1の電源回路5は、第1の電圧源 V_{CC}

と第1のノード4の間に接続されるpチャネルMOSトランジスタ5aと、第1の電圧発生回路2からの電圧V_{Ca}と第1のノード4上の高電位内部電源電圧V₄とを比較し、その比較結果に従ってpチャネルMOSトランジスタ5aのコンダクタンスを調整する比較回路5bを含む。この比較回路5bは、第1のノード4上の電圧V₄を正入力に受け、第1の電圧発生回路2からの電圧V_{Ca}を負入力に受ける差動増幅器で構成される。

【0096】第2の電源回路8は、第2の電圧源V_{SS}と第2のノード7の間に接続されるnチャネルMOSトランジスタ8aと、第2の電圧発生回路3からの電圧V_{Sa}と第2のノード7上の電圧V₇とを比較し、その比較結果に従ってnチャネルMOSトランジスタ8aのコンダクタンスを調整する比較回路8bを含む。比較回路8bは、第2のノード7上の電圧V₇を正入力に受け、第2の電圧発生回路3からの電圧V_{Sa}を負入力に受ける差動増幅器で構成される。

【0097】電圧V_{Ca}が第1のノード4上の電圧よりも高い場合には、比較回路5bの出力信号がその電圧V_{Ca}およびV₄の差に応じてLレベルとなり、MOSトランジスタ5aのコンダクタンスが増加し、第1の電圧源V_{CC}から第1のノード4へ電流を供給し、電圧V₄の電圧レベルを上昇させる。一方、電圧V₄が電圧V_{Ca}よりも高い場合には、この比較回路5bの出力信号はHレベルとなり、MOSトランジスタ5aはオフ状態となり、第1の電圧源V_{CC}から第1のノード4への電流経路を遮断する。したがって、第1のノード4上の電圧V₄は、電圧V_{Ca}レベルに保持される。

【0098】同様に、第2のノード7上の電圧V₇が電圧V_{Sa}よりも高い場合には、比較回路8bの出力信号がこの差に応じてHレベルとなり、MOSトランジスタ8aのコンダクタンスが大きくなり、第1のノード7から第2の電圧源V_{SS}へ電流を流し、電圧V₇の電圧レベルを低下させる。一方、電圧V₇が電圧V_{Sa}よりも低い場合には、この比較回路8bの出力信号はLレベルとなり、MOSトランジスタ8aがオフ状態となり、第2のノード7から第2の電圧源V_{SS}への電流経路は遮断される。したがって電圧V₇は電圧V_{Sa}の電圧レベルに保持される。

【0099】出力回路10は、内部信号I_Nを受けてバッファ処理して出力するバッファ前段回路11と、第1のノード4と出力ノード9の間に接続され、このバッファ前段回路11からの信号に従って導通し、第1のノード4と出力ノード9とを電気的に接続するpチャネルMOSトランジスタ（第1のMOSトランジスタ）12と、バッファ前段回路11からの信号にตอบสนองしてこのMOSトランジスタ12と相補的に導通し、出力ノード9と第2のノード7とを電気的に接続するnチャネルMOSトランジスタ（第2のMOSトランジスタ）13を含む。MOSトランジスタ12は、導通時、出力ノード9

を第1のノード4上の電圧レベルへ駆動する。MOSトランジスタ13は、導通時、出力ノード9をこの第2のノード7上の電圧レベルへ駆動する。

【0100】第1の電圧発生回路2は、第1の電圧源V_{CC}と第2の電圧源V_{SS}の間に直列に接続される抵抗素子24、ダイオード接続されたv個（v=0, 1, 2…）のnチャネルMOSトランジスタ23およびx個（x=0以上の整数）のダイオード接続されたpチャネルMOSトランジスタ22および基準電圧V_{ref}をゲートに受けるpチャネルMOSトランジスタ21を含む。抵抗素子24の抵抗値は十分大きくされており、この第1の電圧発生回路2において第1の電圧源V_{CC}から第2の電圧源V_{SS}へ流れる電流は十分小さくされている。したがって、MOSトランジスタ23および22は、ダイオードモードで動作し、それぞれそのしきい値電圧V_{TN}およびV_{TP}の絶対値の電圧降下を生じさせる。

【0101】MOSトランジスタ21は、そのゲートに基準電圧V_{ref}を受けている。MOSトランジスタのゲートは、ゲート絶縁膜を介して内部ノードに接続されて、高入力インピーダンスを実現する。したがって、この第1の電圧発生回路2において第1の電圧源V_{CC}から第2の電圧源V_{SS}へ微小電流が流れても、この電流が、基準電圧V_{ref}には何ら影響を及ぼすことなく、基準電圧V_{ref}は安定に所望の電圧レベルに保持される。

【0102】第2の電圧発生回路3は、第1の電圧源V_{CC}と第2の電圧源V_{SS}の間に直列に接続されるnチャネルMOSトランジスタ31、ダイオード接続されたnチャネルMOSトランジスタ32、ダイオード接続されたpチャネルMOSトランジスタ33、および抵抗素子34を含む。この第2の電圧発生回路3においてy個（y=0, 1, …の整数）のnチャネルMOSトランジスタ32およびw個（w=0, 1, 2…）のpチャネルMOSトランジスタ33は、高抵抗の抵抗素子34によりダイオードモードで動作し、それぞれしきい値電圧V_{TN}およびV_{TP}の絶対値の電圧降下を生じさせる。MOSトランジスタ31はそのゲートに基準電圧V_{ref}を受けており、ソースフォロワモードで動作する。この第2の電圧発生回路3においても、基準電圧V_{ref}はMOSトランジスタ31のゲートへ与えられており、同様、高入力インピーダンスが実現されこの基準電圧V_{ref}に対し第2の電圧発生回路3における電流が影響を及ぼすことなく、安定に一定の電圧レベルに基準電圧V_{ref}を保持することができる。

【0103】この半導体集積回路装置1は、さらに、第1の電圧源V_{CC}と第1のノード4の間に接続される安定化容量15と、第2のノード7と第2の電圧源V_{SS}の間に接続される安定化容量18を含む。これらの安定化容量15および18の容量値は、装置外部の負荷容量

19の容量値よりも十分大きく設定される。次に、この図1に示す回路の動作について説明する。

【0104】第1の電圧発生回路2においては、抵抗素子24の抵抗値は、MOSトランジスタ21～23の等価抵抗値（オン抵抗）よりも十分大きく設定されてお

$$V_{Ca} = V_{ref} + |V_{TP}| + x \cdot |V_{TP}| + v \cdot V_{TN} \cdots (1)$$

ただし、 $x, v = 0, 1, 2, \dots$

MOSトランジスタ5aは、そのゲート電位が、比較回路5bの出力信号に従って、電圧 V_{Ca} および V_4 の差に応じた電圧レベルに設定され第1のノード4へは、次式で示される電圧 V_4 が伝達される：

$$V_4 = V_{Ca} \cdots (2)$$

同様、第2の電圧発生回路3においても、MOSトラン

$$V_{Sa} = V_{ref} - V_{TN} - y \cdot V_{TN} - w \cdot |V_{TP}| \cdots (3)$$

ただし、 $y, w = 0, 1, 2, \dots$

MOSトランジスタ8aは、第2のノード7の電圧 V_7 電圧 V_{Sa} の電圧差に応じてそのゲート電圧が設定される。したがって第2のノード7へは、この第2の電源回路8による動作により、次式で表わされる電圧 V_7 が伝達される：

$$V_7 = V_{Sa} \cdots (4)$$

出力回路10が、内部信号 I_N に従って出力ノード9を駆動するとき、この第1のノード4上の電圧 V_4 または第2のノード7上の電圧 V_7 が出力ノード9へ伝達される。したがって、この出力ノード9に出力される信号の高レベルの電圧および低レベルの電圧は、上述の式

(2)および(4)で示される値に設定される。第1の電圧発生回路2におけるダイオード接続されるMOSトランジスタ22および23の数 x の値を変更することにより、この第1のノード4上の電圧 V_4 の電圧レベルを V_{ref} から順に $|V_{TP}|$ または V_{TN} の幅で段階的に変更することができる。また、第2のノードの電圧 V_7 も V_{TN} または $|V_{TP}|$ の幅で段階的に変更することができる。

【0105】図2は、2つの半導体集積回路の接続態様の一例を示す図である。図2において、半導体集積回路1aからの出力信号 OUT が半導体集積回路1bへ転送される。この半導体集積回路1aに含まれる出力回路10の出力ノード9は、伝送路TMLを介して半導体集積回路1bに含まれる入力回路1baに結合される。この入力回路1baは、基準電圧 V_{ref} と伝送路TMLを介して与えられる信号とを比較し、その比較結果に応じて内部信号 ϕ を生成する。この入力回路1baは、差動増幅回路で構成される。すなわち、出力回路10が出力する信号 OUT の振幅を決める基準電圧 V_{ref} は、相手方半導体集積回路1bにおける入力回路における入力信号の論理判定レベルの基準として用いられる、この基準電圧 V_{ref} はチップ外部から与えられる。

【0106】今、図1に示す構成において、第1の電圧発生回路2におけるダイオード接続されたpチャネルM

OSトランジスタ22および23はダイオードモードで動作し、またMOSトランジスタ21がソースフォロワモードで動作する。したがって、この抵抗素子24とMOSトランジスタ23の接続ノード2aから出力される電圧 V_{Ca} は次式で表わされる：

ジスタ31がソースフォロワモードで動作し、基準電圧よりしきい値電圧 V_{TN} 低い電圧を伝達し、MOSトランジスタ32および33が、ダイオードモードで動作し、それぞれのしきい値電圧 V_{TN} および V_{TP} の絶対値の電圧降下を生じさせる。したがってMOSトランジスタ33と抵抗素子34の接続ノード3aからの電圧 V_{Sa} は次式で表わされる：

OSトランジスタ22の数 x が1、またnチャネルMOSトランジスタ23の数 v が0であり、また第2の電圧発生回路3に含まれるダイオード接続されるnチャネルMOSトランジスタ32の数 y が1かつpチャネルMOSトランジスタ33の数 w が0の場合を考える。この場合、第1のノード4上の電圧 V_4 および第2のノード7上の電圧 V_7 は、次式で表わされる：

$$V_4 = V_{ref} + 2 \cdot |V_{TP}|$$

$$V_7 = V_{ref} - 2 \cdot V_{TN}$$

したがって、図3に示すように、この出力回路10から出力ノード9に出力される信号 OUT の高レベルは、 $V_{ref} + 2 \cdot |V_{TP}|$ となり、低レベルは $V_{ref} - 2 \cdot V_{TN}$ となる。したがって、出力信号 OUT は基準電圧 V_{ref} を中心として上方に $2 \cdot |V_{TP}|$ 、下方に $2 \cdot V_{TN}$ 変化する。通常、pチャネルMOSトランジスタのしきい値電圧の絶対値 $|V_{TP}|$ とnチャネルMOSトランジスタのしきい値電圧 V_{TN} の値はほぼ等しい。したがって基準電圧 V_{ref} を中心にほぼ同じ大きさだけ変化する信号を出力することができる。

【0107】入力側半導体集積回路1bにおいては、入力回路1baが基準電圧 V_{ref} を比較基準として、この伝送路TMLを介して与えられる信号の電圧レベルを判定する。伝送路TMLを介して伝送される信号 OUT は、基準電圧 V_{ref} を中心として上方向および下方向に同じ振幅値を有する。したがって、入力回路1baにおいても、この入力信号の高レベルおよび低レベルの確定タイミングが同じとなり、高速で正確に入力信号の電圧レベルを判定して内部信号 ϕ を生成することができる。

【0108】この基準電圧 V_{ref} は、上述の、SSTL-3のクラスI方式に示されるように、 $0.45V_{DDQ}$ の電圧レベルに設定されてもよく、また $V_{CC}/2$ の電位レベルに設定されてもよい、SSTL-3のクラスI方式などとの互換性を保持するためには、基準電圧 V_{ref} が、 $0.45V_{DDQ}$ とするのが好ましい、ここで、電圧 V_{DDQ} は、出力回路の最終段にのみ用いら

れる電源電圧である。

【0109】今、図4に示すように、各々に半導体集積回路が形成される半導体チップ#0～#nに対し、共通に基準電圧 V_{ref} が外部から与えられる構成を考える。この場合、基準電圧 V_{ref} は、これら半導体チップ#0～#nの動作状況にかかわらず一定の電圧レベルに保持される。また、仮に、基準電圧 V_{ref} が変動しても、この半導体チップ#0～#nの出力回路が出力する信号は基準電圧 V_{ref} を中心とした信号であり、同様その出力信号レベルも基準電圧 V_{ref} の変化に応じて変化する。基準電圧 V_{ref} は入力回路の比較基準電圧としても用いられている。したがって、たとえ基準電圧 V_{ref} の電圧レベルが変動しても、正確に入力側の半導体集積回路装置においてその入力信号の論理レベルを判定することができ、基準電圧 V_{ref} の変動時においても、入力信号の誤判定は生じず、正確な回路動作を保証することができる。

【0110】図1に示す回路において、出力ノード9には、負荷容量19が接続する。この負荷容量19の容量値は、出力回路10のファンアウトにより変化する。出力回路動作時においては、MOSトランジスタ5aおよび8aを介して充放電が行なわれる。いま、MOSトランジスタ12が導通し、負荷容量19が高レベルに充電される動作を考える。この場合、高速動作のためには、この負荷容量19の高レベルへの充電は高速に行なう必要がある。このMOSトランジスタ5aは、そのゲート電圧が比較回路5bの出力信号で決定されており、安定状態ではオフ状態にある。リングングの発生を防止するため、比較回路5bの動作電流は比較的小さくされて応答速度は比較的遅くされており、MOSトランジスタ5aの急激な深いオン状態への移行は抑制される。このため、高速で第1の電圧源2から第1のノード4へ電流を供給するのが困難である。リングングを生じさせることなく高速に電流を供給するために、第1の容量素子（安定化容量）15が第1の電圧源VCCと第1のノード4との間に接続される。第1のノードの電圧が急激に低下するとき、この第1の容量素子（安定化容量）15から電荷が負荷容量19へ伝達される。このときの第1のノード4の電圧レベルは、容量15および19の容量分割により決定される。この電荷の移動により第1のノード4の電圧レベルが低下するのを抑制するために、安定化容量15の容量値は、この負荷容量19の容量よりも十分大きくするのが好ましい。実際上は、この安定化容量15の占有面積を考慮して、負荷容量19と安定化容量15の容量比は1対10以上、好ましくは1対100以上に設定する。これにより、リングングを生じさせることなく第1のノード4の電圧低下を抑制して高速で負荷容量19を所定電圧レベルに充電することができる。

【0111】たとえば、高速のシステムにおいては、負荷容量19の容量値は50pF（ 50×10^{-12} F）程

度であり、したがって、この安定化容量15の容量値は5nF（ $5 \cdot 10^{-9}$ F）程度となる。負荷容量19の放電時においても、MOSトランジスタ8aは飽和領域で動作しており、その等価抵抗は比較的高く、この第2のノード7の電荷を高速で放電することは困難である。したがって、この場合には、安定化容量（第2の容量素子）18が与えられた電荷を吸収し、高速放電を実現する。したがって、この場合においても、安定化容量18の容量値は、負荷容量19の容量値よりも十分大きく、安定化容量15と同程度の容量値を有する。

【0112】以上のように、この発明の実施の形態1に従えば、高入力インピーダンスを有する電圧発生回路を用いて基準電圧に従って内部電圧を生成して出力信号の振幅を決定する内部電源電圧を生成するように構成しているため、内部電圧発生動作が基準電圧に影響を及ぼすことがなく、安定にかつ所望の電圧レベルの内部電圧を正確に生成することができる。

【0113】また、電源回路を比較回路と、この比較回路の出力信号によりコンダクタンスが調整されるドライブ素子とで構成しているため、正確に所定の電圧レベルの内部電源電圧を生成することができる。

【0114】また、基準電圧を外部から複数の半導体集積回路に共通に与える構成により、集積回路動作時においても、基準電圧のレベルが影響を受けることはなく、安定に回路動作時における電源ノイズの影響を受けることなく正確に一定のレベルの内部電圧を生成することができる。

【0115】また、出力信号の振幅の中心値を、入力信号の高レベルおよび低レベル判定基準となる基準電圧レベルに設定しているため、この基準電圧がたとえ変動しても、この基準電圧変動の影響を受けることなく安定に相手方において正確に入力信号の論理レベルを判定することができる。

【0116】さらに、内部電源電圧供給ノードである第1および第2のノードそれぞれに安定化容量を接続しているため、これらの安定化容量により、信号出力時高速で充放電を行なうことができ、確実に出力ノードの充放電を電源ノイズを抑制しつつ高速で行なうことができ、高速動作する出力回路を実現することができる。

【0117】〔実施の形態2〕図5は、この発明の実施の形態2に従う半導体集積回路の出力部の構成を示す図である。この図5に示す構成においては、第1の電圧発生回路2において、抵抗素子として、そのゲートが接地電圧を受けるように結合されるpチャネルMOSトランジスタ25が第1の電圧源VCCと内部ノード2aの間に接続される。また、第2の電圧発生回路3において、内部ノード3aと第2の電圧源の間に、そのゲートが第1の電圧源VCCに接続されるnチャネルMOSトランジスタ35が抵抗素子として用いられる。他の構成は、図1に示す構成と同じであり、対応する部分には同一参

照番号を付し、その詳細説明は省略する。

【0118】この図5に示す構成においては、pチャネルMOSトランジスタ25およびnチャネルMOSトランジスタ35は、高いチャネル抵抗を有している。この高いチャネル抵抗は、チャネル領域の注入不純物量を少なくすることにより実現される。通常、ポリシリコンなどの抵抗素子に比べて、高いチャネル抵抗を有するpチャネルMOSトランジスタ25およびnチャネルMOSトランジスタ35を抵抗素子として利用することにより、抵抗素子の占有面積を低減することができ、応じてチップ面積を低減することができる（MOSトランジスタの単位面積あたりの抵抗値が通常のポリシリコンなどの抵抗素子に比べて大きいためである）。

【0119】以上のように、この発明の実施の形態2に従えば、電圧発生回路における微小電流供給のための抵抗素子として、MOSトランジスタを用いたため、抵抗素子の形成領域の占有面積を低減することができ、応じてチップ面積を低減することができる。

【0120】〔実施の形態3〕図6は、この発明の実施の形態3に従う半導体集積回路の信号出力部の構成を示す図である。この図6に示す半導体集積回路は、図1に示す半導体集積回路と以下の点において異なっている。

【0121】すなわち、第1の電圧発生回路2は、内部ノード2aと基準電圧Vrefをゲートに受けるpチャネルMOSトランジスタ21の間に、x個のnチャネルMOSトランジスタ22aと、ダイオード接続されたv個のnチャネルMOSトランジスタ23を含む。ここで、x、vは、0、1、2…の整数である。

【0122】第2の電圧発生回路3においては、基準電圧Vrefをゲートに受けるnチャネルMOSトランジスタ31とノード3aの間に、y個のダイオード接続されたpチャネルMOSトランジスタ32aと、ダイオード接続されたw個のpチャネルMOSトランジスタ33が設けられる。ただし、y、wは、0、1、2、…の整数である。他の構成は、図1に示す構成と同じであり、対応する部分には同一参照番号を付す。なお、第1の電圧発生回路2において、第1の電圧源VCCと内部ノード2aの間に接続される抵抗素子（Z）は、図1に示すようなポリシリコン抵抗であってもよく、またMOSトランジスタを用いてもよく、したがって参照符号24aで示す。同様、第2の電圧発生回路3においても、この内部ノード3aと第2の電圧源VSSの間の抵抗素子（Z）には、ポリシリコン抵抗およびMOSトランジスタいずれを用いられてもよく、またこの抵抗素子（Z）を符号34aで示す。

【0123】第1の電圧発生回路2から発生される内部電圧VCaは、次式で表わされる：

$$V_{Ca} = V_{ref} + |V_{TP}| + x \cdot V_{TN} + v \cdot V_{TN}$$

第2の電圧発生回路3からの内部電圧VSaは次式で表

わされる：

$$V_{Sa} = V_{ref} - V_{TN} - y \cdot |V_{TP}| - w \cdot |V_{TP}|$$

したがって、第2のノード7上の電圧V7は次式で表わされる：

$$V_7 = V_{ref} - V_{TN} - (y + w) \cdot |V_{TP}|$$

今、 $x = y = 1$ 、 $V = w = 0$ とすると、第1のノード上の電圧V4および第2のノード7上の電圧V7は次式で表わされる：

$$V_4 = V_{ref} + |V_{TP}| + V_{TN}$$

$$V_7 = V_{ref} - |V_{TP}| - V_{TN}$$

したがって、出力ノード9に出力される信号は、基準電圧Vrefを中心として上方向および下方向に $|V_{TP}| + V_{TN}$ の振幅を有する。したがって、基準電圧Vrefと高レベル電圧の電圧差と基準電圧と低レベル電圧の電圧差が等しくなり、MOSトランジスタとしては、任意の導電型のMOSトランジスタを用いることができる。第1の電圧発生回路2および第2の電圧発生回路3において、ダイオード接続されたMOSトランジスタの数が等しいという条件が満たされればよい。

【0124】以上のように、この発明の実施の形態3に従えば、第1および第2の電圧発生回路それぞれにおいて、レベル修正用のダイオード接続されたMOSトランジスタを同一導電型のMOSトランジスタで構成したため、所望の電圧レベルの内部電圧を容易に生成することができ、また、実施の形態1と同様の効果を得ることができる。

【0125】〔実施の形態4〕図7は、この発明の実施の形態4に従う半導体集積回路の信号出力部の構成を示す図である。この図7に示す半導体集積回路は、図1に示す半導体集積回路と以下の点において異なっている。すなわち、第1の電圧発生回路2は、電源電圧VCCより高い昇圧電圧VPPを与える第3の電圧源VPPと接地電圧VSSを与える第2の電圧源VSSの間に接続される。第2の電圧発生回路3は、電源電圧VCCを供給する第1の電圧源と接地電圧VSSよりも低い負の電圧VBBを発生する第4の電圧源VBBの間に結合される。他の構成は、図1に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0126】第1の電圧発生回路2からの内部電圧VCaは、MOSトランジスタ21、22、および23がすべて導通状態となったときに安定に発生される。したがって、この第1の電圧発生回路2は、その一方動作電源電圧として、少なくとも $V_{TN} + |V_{TP}|$ の電圧が必要となる。また、内部電圧VCaは、 $V_{ref} + |V_{TP}|$ 以上の電圧レベルであり、この第1の電圧発生回路2は、この内部電圧VCaよりも高い電圧レベルの電圧を一方動作電源電圧として必要とする。

【0127】電源電圧VCCは、この半導体集積回路の消費電流を低減しかつその内部動作を高速化する（内部

信号線の充放電を高速で行なう) ため、2. 2 V、および 1. 2 V などの低い電圧レベルに設定される傾向にある。このような低電源電圧下においては、MOS トランジスタ 2 1、2 2 および 2 3 のしきい値電圧の大きさによっては、この必要とされる電圧レベルの内部電圧を生成することができなくなることが考えられる。このような場合においても、この電源電圧 VCC よりも高い昇圧電圧 VPP を一方動作電源電圧として利用することにより、低電源電圧下においても、安定に所望の電圧レベルの内部電圧 VCa を安定に生成することができ、この出力回路の動作電源電圧範囲を広くすることができる。

【0128】同様、第 2 の電圧発生回路 3 においても、内部電圧 VSa は、 $V_{ref} - V_{TN}$ の電圧レベル以下の電圧レベルである。したがってこの場合においても、たとえば基準電圧 V_{ref} が $VCC/2$ の電圧レベルの場合において、低電源電圧下において、この MOS トランジスタ 3 1、3 2 および 3 3 のしきい値電圧レベルの値によっては、接地電圧 VSS を他方動作電源電圧として利用した場合、所望の電圧レベルの内部電圧 VSa を生成することができなくなることが考えられる。このような場合においても、負電圧 VBB を用いることにより、MOS トランジスタ 3 1、3 2 および 3 3 をすべて導通状態に維持して、必要な電圧レベルの内部電圧 VSa を生成することができ、低電源電圧下においても、安定に所望の電圧レベルの内部電圧 VSa を生成することができ、応じて動作電源電圧 VCC の電圧範囲を容易に広げることができる。

【0129】なお、昇圧電圧 VPP および負電圧 VBB は、キャパシタのチャージポンプ動作を利用する一般的なチャージポンプ回路によりたとえば発生することができる。特に、この半導体集積回路が後に説明するようなダイナミック型半導体記憶装置の場合、ワード線を駆動するためおよび半導体基板領域へ印加するために昇圧電圧 VPP を発生する回路および負電圧 VBB を発生する回路が設けられており、これらの回路を利用することができる。しかしながら、これらの昇圧電圧 VPP および負電圧 VBB は、外部から与えられるように構成されてもよい。

【0130】以上のように、この発明の実施の形態 4 に従えば、内部電圧を発生するために電源電圧 VCC よりも高い昇圧電圧 VPP および接地電圧 VSS よりも低い負電圧 VBB を利用しているため、低電源電圧下においても、安定に所望の電圧レベルの内部電圧を生成することができ、応じて、低電源電圧下においても、安定に所望の電圧レベルの内部電源電圧 (第 1 および第 2 のノード上の電圧) を生成することができ、動作電源電圧の範囲の広い出力回路を実現することができる。

【0131】〔実施の形態 5〕図 8 は、この発明の実施の形態 5 に従う半導体集積回路の信号出力部の構成を示す図である。この図 8 に示す半導体集積回路は、以下の

点を除いて、図 1 に示す半導体集積回路の構成と実質的に同じであり、対応する部分には同一参照番号を付す。

【0132】この実施の形態 5 に従う半導体集積回路は、第 1 のノード 4 と第 2 の電圧源 VSS の間に抵抗素子 4 1 が接続され、また第 2 のノード 7 と第 1 の電圧源 VCC の間に抵抗素子 4 2 が接続される。これらの抵抗素子 4 1 および 4 2 の各々は、高抵抗値を有し、それぞれプルダウン素子およびプルアップ素子として機能する。第 1 のノード 4 の電圧レベルが低下した場合、第 1 の電源回路 5 が、第 1 の電圧源 VCC から電流を供給してこの第 1 のノード 4 の電圧レベルを上昇させる。しかしながら、この第 1 のノード 4 の電圧レベルが所定電圧レベルよりも高くなった場合、第 1 の電源回路 5 内の MOS トランジスタ 5 a はオフ状態となるだけであり、また安定化容量 1 5 もこの電圧上昇は吸収しないため、この第 1 のノード 4 の上昇電圧が保持される。このような電圧の上昇はたとえば回路動作時大きな電流が消費されるとき MOS トランジスタ 5 a を介して大きな電流が供給されたときまた MOS トランジスタ 1 2 が高速スイッチ動作を行ない、出力ノード 9 へ高レベルの信号を伝達した後オフ状態となったときなどに生じる。このような第 1 のノード 4 の電圧上昇時において、プルダウン用の高抵抗の抵抗素子 4 1 により、この第 1 のノード 4 の電圧レベルを低下させる。これにより、安定に第 1 のノード 4 を所望の電圧レベルに保持することができ、応じて所望の高レベル電圧を有する出力信号を生成することができる。

【0133】同様、第 2 のノード 7 の電圧レベルが高くなった場合には、第 2 の電源回路 8 が、この第 2 のノード 7 の電圧レベルを低下させる。しかしながら、この第 2 のノード 7 の電圧レベルが所定の電圧レベルよりも低くなったときには、第 2 の電源回路 8 内の MOS トランジスタ 8 a はオフ状態となり、第 2 のノード 7 の電圧レベルは低い値を保持する。第 2 のノード 7 の電圧レベルが所定電圧レベルよりも低くなる状態は、たとえばこの出力ノード 9 に付随するインダクタンス成分によりリングングなどが発生して、アンダーシュートが生じた場合などがある。このような第 2 のノード 7 の電圧レベルが所定の電圧レベルよりも低くなったときには、高抵抗の抵抗素子 4 2 を介して第 1 の電圧源 VCC から電流を供給して、第 2 のノード 7 の電圧レベルを上昇させる。抵抗素子 4 2 は高抵抗プルアップ素子として機能する。

【0134】この第 1 のノード 4 にプルダウン素子を接続しかつ第 2 のノード 7 にプルアップ素子を接続することにより、ソースフォロワモードでトランジスタにより内部電源電圧を第 1 および第 2 のノード上に生成する構成においても、安定に所望の電圧レベルの内部電源電圧を保持することができる。

【0135】〔実施の形態 6〕図 9 は、この発明の実施の形態 6 に従う半導体集積回路の要部の構成を示す図で

ある。図9においては、半導体集積回路の出力回路10の構成が示される。

【0136】図9において、この出力回路10に含まれるバッファ前段回路11は、入力信号INの高レベル電圧を負電圧VBBレベルに変換して出力するレベル変換回路11aと、この入力信号INの低レベル電圧を昇圧電圧VPPレベルに変換するレベル変換回路11bを含む。

【0137】レベル変換回路11aは、第1の電圧源VCCとノード58の間に接続されかつそのゲートに入力信号INを受けるpチャネルMOSトランジスタ54と、第1の電圧源VCCとノード59の間に接続されかつそのゲートに入力信号INをインバータ51を介して受けるpチャネルMOSトランジスタ54と、ノード58と負電圧VBBを供給する第2の電圧源の間に結合されかつそのゲートがノード59に接続されるnチャネルMOSトランジスタ56と、ノード59と第4の電圧源VBBの間に接続されかつそのゲートがノード58に接続されるnチャネルMOSトランジスタ57を含む。ノード58が、出力段のMOSトランジスタ（第1のMOSトランジスタ）12のゲートに接続される。

【0138】レベル変換回路11bは、電源電圧VCCよりも高い昇圧電圧VPPを供給する第3の電圧源とノード64の間に接続されかつそのゲートがノード65に接続されるpチャネルMOSトランジスタ60と、第3の電圧源VPPとノード65の間に接続されかつそのゲートがノード64に接続されるpチャネルMOSトランジスタ61と、ノード64と第2の電圧源VSSの間に接続されかつそのゲートにインバータ51の出力信号を受けるnチャネルMOSトランジスタ62と、ノード65と第2の電圧源VSSの間に接続されかつそのゲートに入力信号INを受けるnチャネルMOSトランジスタ63を含む。ノード65が、出力段のMOSトランジスタ（第2のMOSトランジスタ）13のゲートに接続される。次に動作について説明する。

【0139】入力信号INは、電源電圧VCCと接地電圧VSSの間で変化する。入力信号INが電源電圧VCCレベルの高レベルのとき、レベル変換回路11aにおいては、MOSトランジスタ54がオフ状態、MOSトランジスタ55がオン状態となる。ノード59がMOSトランジスタ55を介して充電され、その電圧レベルが上昇し、応じてMOSトランジスタ56がオン状態へ移行する。これにより、ノード58の電圧レベルが低下し、MOSトランジスタ57がオフ状態へ移行する。ノード58の電圧レベルが負電圧VBBレベルに移行すると、MOSトランジスタ57が完全にオフ状態となり、ノード59は電源電圧VCCレベルに保持される。

【0140】MOSトランジスタ12は、そのゲートがノード58に接続されており、負電圧VBBをゲートに受ける。これにより、MOSトランジスタ12はより深

いオン状態となり、高速で、第1のノード4から出力ノード9へ電流を供給する。一方、レベル変換回路11bにおいては、MOSトランジスタ63がオン状態、MOSトランジスタ62がオフ状態であり、ノード65は、接地電圧VSSレベルにされ、一方ノード64は、昇圧電圧VPPレベルに保持される。これにより、MOSトランジスタ13は、そのゲート電圧が第2のノード7の電圧レベルよりも低くなり、より深いオフ状態となる。MOSトランジスタ12は、より深いオン状態となり、出力ノード9の電圧レベルが高速で立上がる。

【0141】入力信号INがLレベルのときには、レベル変換回路11aにおいては、MOSトランジスタ54がオン状態、MOSトランジスタ55がオフ状態になり、ノード58が電源電圧VCCレベルに充電され、ノード59が負電圧VBBレベルに保持される。これにより、MOSトランジスタ12は、ソースの電圧V4よりも高い電源電圧VCCをそのゲートに受けて深いオフ状態となる。一方、レベル変換回路11bにおいては、MOSトランジスタ63がオフ状態、MOSトランジスタ62がインバータ51からの高レベルの信号を受けてオン状態となる。これにより、ノード64が、接地電圧VSSレベルに放電され、MOSトランジスタ61がオン状態となり、ノード65が、昇圧電圧VPPレベルに充電される。この状態においては、MOSトランジスタ13がより深いオン状態となり、その大きなコンダクタンスにより、電流を出力ノード9から第2のノード7へ放電する。これにより、出力ノード9の電圧レベルが高速に立下がる。

【0142】上述のように、レベル変換回路11aおよび11bを用いて、MOSトランジスタ12および13を導通時より深いオン状態とすることにより、これらMOSトランジスタ12および13のコンダクタンスを大きくして、出力ノード9の高速充放電を実現し、出力ノード9からの出力信号の変化速度を速くすることができる。

【0143】〔実施の形態7〕図10は、この発明の実施の形態7に従う半導体集積回路の要部の構成を示す図である。図10においては、出力回路10の構成が示される。この図10に示す出力回路10において、出力段には、出力ノード充電用のnチャネルMOSトランジスタ12aおよび出力ノード放電用のnチャネルMOSトランジスタ13が用いられる。このnチャネルMOSトランジスタ12aにおけるしきい値電圧の損失を補償するために、昇圧電圧VPPと接地電圧VSSの間で変化する信号を出力するためのレベル変換回路11cが設けられる。

【0144】このレベル変換回路11cは、図9に示すレベル変換回路11bと同様の構成を備え、昇圧電圧VPPを供給する高（第3の）電圧源VPPとノード64aの間に接続されかつそのゲートがノード65aを介し

てnチャネルMOSトランジスタ12aのゲートに接続されるpチャネルMOSトランジスタ60aと、高電圧源VPPとノード65aの間に接続されかつゲートがノード64aに接続されるpチャネルMOSトランジスタ61aと、ノード64aと接地電圧VSSを供給する第2の電圧源との間に接続されかつそのゲートにインバータ51aを介して入力信号INを受けるnチャネルMOSトランジスタ62aと、ノード65aと接地電圧VSSを供給する第2の電圧源VSSの間に接続されかつそのゲートに入力信号INを受けるnチャネルMOSトランジスタ63aを含む。nチャネルMOSトランジスタ13のゲートへは、入力信号INがレベル変換されることなく与えられる。ノード65aがMOSトランジスタ12aのゲートに接続される。

【0145】このレベル変換回路11cの動作は、先の図9に示すレベル変換回路11bの動作と同じである。すなわち、入力信号INが電源電圧VCCレベルのHレベルのときには、MOSトランジスタ63aがオン状態、MOSトランジスタ62aがオフ状態となり、ノード65aの電圧レベルが接地電圧VSSレベルとなり、MOSトランジスタ12aはオフ状態を維持する。このときには、MOSトランジスタ13がオン状態となり、出力ノード9は、このオン状態のMOSトランジスタ13を介して放電される。

【0146】一方、入力信号INがLレベルのときには、MOSトランジスタ63aがオフ状態、MOSトランジスタ62aがオン状態なり、ノード64aが接地電圧VSSレベルに放電される。これにより、MOSトランジスタ61aがオン状態となり、ノード65aは高電圧VCCレベルに上昇する。このノード65aはMOSトランジスタ12aのゲートに接続されており、MOSトランジスタ12aは、この第1のノード4上の電圧を、そのしきい値電圧の損失を生じさせることなく出力ノード9上に伝達する。

【0147】なお、第1のノード4上の電圧レベルが、VCC-VTNよりも低い場合には、このMOSトランジスタ12aのゲートの電圧が電源電圧VCCレベルであっても、この第1のノード4上の電圧を出力ノード9上に伝達することができ、特にこのレベル変換回路11cを設ける必要はない。ただ、その場合でも、ゲート電圧が高くなるため、MOSトランジスタ12aの電流駆動力は大きくなり、高速充電は実現される（昇圧電圧を用いた場合）。

【0148】また、高速放電を実現するために、nチャネルMOSトランジスタ13に対しても、レベル変換回路11cと同様のレベル変換回路が設けられてもよい。

【0149】出力段をとともにnチャネルMOSトランジスタで構成することにより、CMOSインバータの構成と異なり、ウェル分離を行なう必要がなく、回路占有面積を低減することができる。またレベル変換回路を用い

ることにより、nチャネルMOSトランジスタのしきい値電圧損失を伴うことなく出力ノードの所定電圧レベルへの高速充電を実現することができる。

【0150】〔実施の形態8〕図11は、この発明の実施の形態8に従う半導体集積回路の要部の構成を示す図である。図11においては、第1のノード4を所定電圧レベルに保持する第1電源回路5の構成が示される。

【0151】図11において、第1の電源回路5は、第1の電圧発生回路2の出力インピーダンスよりも小さな出力インピーダンスを有し、この第1の内部電圧発生回路2からの内部電圧に従ってnチャネルMOSトランジスタ5cのゲート電圧を設定するインピーダンス変換回路50を含む。MOSトランジスタ5cは第1の電圧源VCCと第1のノードとの間に接続され、ソースフォロアモードで動作する。

【0152】第1の内部電圧発生回路2は、第1の電圧源VCCとノード2aの間に接続される高抵抗の抵抗素子24と、ノード2aと基準電圧Vrefをゲートに受けるpチャネルMOSトランジスタ21の間に互いに直列に接続される各々がダイオード接続されたnチャネルMOSトランジスタ23、22aおよび22abを含む。抵抗素子24としては、先の実施の形態2におけるMOSトランジスタが抵抗素子として用いられてもよい。この抵抗素子24の抵抗値は、MOSトランジスタ23、22aa、22abおよび21の有するオン抵抗よりも十分大きな値に設定される。この第1の電圧発生回路2は、高抵抗の抵抗素子24を介してノード2aに電流を供給し、したがって、このノード2aに対する出力インピーダンスが極めて大きい。

【0153】インピーダンス変換回路50は、第1の電圧源VCCとノード50fの間に直列に接続されるnチャネルMOSトランジスタ50aおよびpチャネルMOSトランジスタ50bと、ノード50fと第2の電圧源VSSの間に接続される高抵抗の抵抗素子50cと、第1の電圧源VCCとMOSトランジスタ5のゲートノード50gの間に接続されかつそのゲートがノード2aに接続されるnチャネルMOSトランジスタ50dと、ノード50gと第2の電圧源VSSの間に接続されかつそのゲートがノード50fに接続されるpチャネルMOSトランジスタ50eを含む。

【0154】MOSトランジスタ50eはそのゲートがノード2aに接続され、またMOSトランジスタ50bは、そのゲートおよびドレインがノード50fに接続される。高抵抗抵抗素子50cの抵抗値は、MOSトランジスタ50aおよび50bのオン抵抗よりも十分大きな値に設定される。次に動作について説明する。

【0155】第1の電圧発生回路2においては、ノード2a上には、次式で示される電圧V2aが生成される。

【0156】

$$V2a = Vref + |VTP| + 3 \cdot VTN$$

MOSトランジスタ50aは、ソースフォロワモードで動作し、そのゲート電圧からしきい値電圧 V_{TN} 低い電圧をソースへ伝達する。MOSトランジスタ50bは、ダイオードモードで動作し、そのしきい値電圧の絶対値の電圧降下を生じさせる。したがって、ノード50fの電圧 V_{50f} は次式で表わされる。

$$【0157】 V_{50f} = V_{ref} + 3 \cdot V_{TN} + |V_{TP}| - V_{TN} - |V_{TP}| = V_{ref} + 2 \cdot V_{TN}$$

MOSトランジスタ50dは、そのゲートがノード2aに接続されており、ノード50gに、次式で示される電圧を伝達する。

$$【0158】 V_{ref} + 2 \cdot V_{TN} + |V_{TP}|$$

一方、pチャネルMOSトランジスタ50eも、同様、ソースフォロワモードで動作し、このノード50gに、次式で示される電圧を伝達する。

$$【0159】 V_{ref} + 2 \cdot V_{TN} + |V_{TP}|$$

したがって、このノード50gの電圧 V_{50g} は、次式で表わされる：

$$V_{50g} = V_{ref} + 2 \cdot V_{TN} + |V_{TP}|$$

nチャネルMOSトランジスタ50dのゲート（ノード2a）とソース（ノード50g）の電圧差は、 V_{TN} である。また、pチャネルMOSトランジスタ50eのゲート（ノード50f）とソース（ノード50g）の電圧差は、 $|V_{TP}|$ である。

【0160】ノード50gの電圧レベルが上昇すると、MOSトランジスタ50dがオフ状態となり、一方、pチャネルMOSトランジスタ50eがオン状態となり、このノード50gの電圧レベルを低下させる。逆に、ノード50gの電圧レベルが低下すると、pチャネルMOSトランジスタ50eがオフ状態となり、一方nチャネルMOSトランジスタ50dがオン状態となり、ノード50gの電圧レベルを上昇させる。MOSトランジスタ50dおよび50eの導通時の抵抗は抵抗素子24の抵抗値に比べて十分小さい。

【0161】したがって、このMOSトランジスタ50dおよび50eが同時にオン状態とされず、このMOSトランジスタ50dおよび50eを介して貫通電流は生じない。また、MOSトランジスタ50dおよび50eは、オン状態とオフ状態の境界状態に設定されており、その消費電流も極めて小さい。したがって、このインピーダンス変換回路50gにおける消費電流は極めて小さい。MOSトランジスタ50cは、電圧 V_{50g} をゲートに受けて、ソースフォロアモードで動作する。この図11に示す構成において、第1のノード4上に表われる電圧 V_4 は、次式で表わされる：

$$V_4 = V_{50g} - V_{TN} = V_{ref} + V_{TN} + |V_{TP}|$$

したがって、基準電圧 V_{ref} よりも $V_{TN} + |V_{TP}|$ だけ高い電圧が伝達される。

【0162】MOSトランジスタ50cは、比較的大きな

電流駆動力を必要とする（出力負荷を高速で充電する必要があるため）。したがって、このMOSトランジスタ50cのゲート容量は比較的大きい。消費電流を低減するためには、この第1の電圧発生回路2における抵抗素子24の抵抗値を十分大きくする必要がある。したがって、電源投入時、このノード2aを直接MOSトランジスタ50cのゲートに接続した場合、その電圧レベルの上昇は遅くなり、電源投入から第1のノード4上の電圧が安定状態に達するまで時間を要し、早いタイミングで半導体集積回路を動作させることはできない。

【0163】一方、MOSトランジスタ50dおよび50eは、MOSトランジスタ50cのゲート容量を駆動することが要求されるだけである。このMOSトランジスタ50dおよび50eは、同時にオン状態となることなく、またそのインピーダンスは比較的小さい（導通時）。したがって、このMOSトランジスタ50dおよび50eは、MOSトランジスタ50cに比べて、十分小さなサイズのトランジスタで形成することができ、応じてこれらのゲート容量は十分小さくすることができる。したがって、内部ノード2aの負荷は小さく、高抵抗の抵抗素子24によりより充電する場合においても、電源投入後、高速でこのMOSトランジスタ50dをオン状態として、ノード50gの電圧レベルを上昇させることができ、応じて第1のノード4上の電圧レベルを高速で安定化させることができる。

【0164】また、高抵抗抵抗素子50cの充電により、このMOSトランジスタ50eのゲート電圧が所定の電圧レベルに到達する。この場合においても、MOSトランジスタ50eのゲート容量は小さく、高抵抗の抵抗素子50cを用いて低消費電力化を図っても、このMOSトランジスタ50aおよび50bからの電流により、MOSトランジスタ50eのゲート電圧は電源投入後高速で所定電圧レベルに到達することができ、応じて、このノード50gの電圧レベルを安定に一定電圧レベルに保持することができる。

【0165】また、このインピーダンス変換回路50において、充電用のMOSトランジスタ50dおよび放電用のMOSトランジスタ50e両者を用いているため、MOSトランジスタ50cのゲート電圧が上昇および下降しても、MOSトランジスタ50dおよび50eの動作により、一定の電圧レベルに保持することができ、安定に第1のノード4上に所望の電圧レベルの内部電源電圧を伝達することができる。

【0166】図12は、第2の電源回路8の他の構成を示す図である。図12において、第2の電源回路8は、第2の電圧発生回路3とpチャネルMOSトランジスタ8cのゲートとの間に第2の電圧発生回路3の出力インピーダンスより小さな出力インピーダンスを有するインピーダンス変換回路52を有する。MOSトランジスタ8cは第2のノード7と第2の電圧源 V_{SS} との間に接

続され、かつそのゲートにインピーダンス変換回路 5 2 の出力信号を受ける。これらの回路 3 および 5 2 は図 1 3 と同様の構成を有し、同様に動作する。

【0167】以上のように、この発明の実施の形態 8 に従えば、内部電圧発生回路が有する出力インピーダンスよりも小さな出力インピーダンスを有するインピーダンス変換回路を用いて、ソースフォロワモードで動作して、第 1 および／または第 2 のノードの電圧レベルを設定する MOS トランジスタのゲート電圧を決定するように構成しているため、電源投入後高速でこれらの MOS トランジスタのゲート電圧を所定電圧レベルに到達させることができ、電源投入後早いタイミングで半導体集積回路を動作させることができる。また、インピーダンス変換回路の出力段に、充放電トランジスタを設けることにより、これらの第 1 および第 2 のノード電圧を設定する MOS トランジスタのゲート電圧を安定に所望の電圧レベルに保持することができる。

【0168】なお、図 1 1 に示す構成において、第 1 の電圧発生回路 2 およびインピーダンス変換回路 5 0 はそれぞれ、電源電圧 VCC に代えて昇圧電圧 VPP を用いてもよく、また図 1 2 に示す構成において第 2 の電圧発生回路 3 およびインピーダンス変換回路 5 2 は、接地電圧に代えて負電圧 VBB を用いてもよい。この場合、動作電源電圧の範囲を広くすることができる。また、インピーダンス変換回路は特に設けられなくてもよい。

【0169】〔実施の形態 9〕図 1 3 は、この発明の実施の形態 9 に従う半導体集積回路の要部の構成を示す図である。図 1 3 において、この半導体集積回路は、複数の互いに並列に設けられる出力回路 10-1 ~ 10-n を含む。これらの出力回路 10-1 ~ 10-n は、図 1 3 に示す出力回路 10 と同じ構成を備え、それぞれ内部から与えられる信号 IN1 ~ INn をバッファ処理して対応のノード 9-1 ~ 9-n へ伝達する。すなわちこの半導体集積回路は、複数の出力信号を並列に出力する。これらの複数の出力回路 10-1 ~ 10-n に対し共通に、第 1 のノード 4 および第 2 のノード 7 が配置される。これらの出力回路 10-1 ~ 10-n は、第 1 のノード 4 および第 2 のノード 7 上の電圧に従って対応の出力ノード 9-1 ~ 9-n を駆動する。

【0170】第 1 のノード 4 に対しては、内部電圧 VCa を図示しない基準電圧 Vref から生成する第 1 の電圧発生回路 2 と、その内部電圧 VCa に従って第 1 のノード 4 上に所定の電圧レベルの電圧を生成する第 1 の電源回路 5 と、第 1 の電圧源 VCC と第 1 のノード 4 の間に接続される安定化容量 1 5 が設けられる。

【0171】第 2 のノード 7 に対しては、図示しない基準電圧 Vref から内部電圧 VSa を生成する第 2 の電圧発生回路 3 と、内部電圧 VSa に従って第 2 のノード 7 上に所定の電圧レベルの電圧を伝達する第 2 の電源回路 8 と、第 2 のノード 7 と第 2 の電圧源 VSS の間に接

続される安定化容量 1 8 が設けられる。第 1 の電源回路 5 および第 2 の電源回路 8 は、差動増幅器と MOS トランジスタの組合せ、およびソースフォロア MOS トランジスタのいずれであってもよい。

【0172】この図 1 3 に示す構成において、並列に動作する出力回路 10-1 ~ 10-n に対し、共通に電圧発生回路 2 および 3、電源回路 5 および 8 ならびに安定化容量 1 5 および 1 8 を配置することにより、これらの電圧設定のための回路を出力回路 10-1 ~ 10-n に対して共通に配置することができ、これらの電圧設定部の占有面積を低減することができる。ただし、複数の出力回路 10-1 ~ 10-n を安定に駆動するため、MOS トランジスタ 5 および 8 ならびに安定化容量 1 5 および 1 8 の電流駆動力は、1 つの出力回路のみを駆動する場合に比べて大きく設定される。

【0173】以上のように、この実施の形態 9 に従えば、複数の出力回路に共通に、出力信号振幅を決定する電圧を設定する回路を共通に設けたため、この電圧設定部の占有面積を低減することができる。

【0174】〔実施の形態 10〕図 1 4 は、この発明の実施の形態 10 に従う半導体集積回路の要部の構成を示す図である。この図 1 4 に示す半導体集積回路においては、MOS トランジスタ 5 のソースおよびドレインそれぞれに対し、外部に容量素子を接続するためのノード 1 5 a および 1 5 b が電気的に接続される。また、MOS トランジスタ 8 のソースおよびドレインに対し、容量素子を外部に接続するためのノード 1 8 a および 1 8 b が電気的に接続される。これらのノード 1 5 a、1 5 b、1 8 a および 1 8 b は、外部端子である。

【0175】第 1 のノード 4 および第 2 のノード 7 の電圧レベルを安定化するための容量を、半導体集積回路 1 上に集積化せず、この半導体集積回路 1 の外部に個別的に配置して、ノード 1 5 a および 1 5 b の間ならびにノード 1 8 a および 1 8 b の間に個別部品としての容量素子を安定化容量として接続する。この集積回路外部に安定化容量を配置する構成の場合、個別部品の容量素子を利用することができ、任意の大きさの容量値を有する容量素子を用いることができ、この出力ノード 9 の負荷容量に比べて十分大きな容量値を有する容量を安定化容量として利用することができる。したがって、図 1 3 に示すように、この半導体集積回路が、複数の出力端子を有し、これらの複数の出力端子を並列に駆動する場合においても、外部に配置された容量素子により、安定に電荷を供給することができ、高速で信号を変化させることができ、安定かつ高速に動作する半導体集積回路を実現することができる。また、半導体集積回路上に、比較的大きな占有面積を必要とする安定化容量を設ける必要がなく、チップ面積を低減することができる。

【0176】〔実施の形態 11〕図 1 5 は、この発明の実施の形態 11 に従う半導体集積回路の要部の構成を示

す図である。図 15 においては、高レベルの内部電源電圧を生成するための第 1 の電圧発生回路 2 の構成を示す。図 15 において、第 1 の電圧発生回路 2 は、MOS トランジスタ 5 のゲートの電圧レベルに対応する電圧を発生する比較電圧発生回路 60 と、この比較電圧発生回路 60 の出力電圧を基準電圧 V_{ref} とを比較する差動増幅器 62 と、差動増幅器 62 の出力信号に従って第 1 の電源 V_{CC} からノード 2a に電流を供給する p チャネル MOS トランジスタ 64 を含む。ノード 2a から、第 1 の電源回路 5 に与えられる内部電圧 V_{Ca} が出力される。第 1 の電源回路 5 は図 1 および図 11 のいずれの構成であってもよい。以下の実施の形態の説明においても同様である。

【0177】比較電圧発生回路 60 は、ノード 2a とノード 60e の間に直列に接続される各々がダイオード接続される p チャネル MOS トランジスタ 60a ならびに n チャネル MOS トランジスタ 60b および 60c と、ノード 60e と接地ノード（第 2 の電圧源）との間に接続される定電流源 60d を含む。MOS トランジスタ 60a ~ 60c は、定電流源 60d の駆動電流により、ダイオードモードで動作し、各々そのしきい値電圧の絶対値の電圧降下を生じさせる。

【0178】差動増幅器 62 は、その負入力に基準電圧 V_{ref} を受け、正入力にノード 60e 上の電圧を受ける。差動増幅器 62 は、周知のように、MOS トランジスタを構成要素として含み、その差動入力段には、基準電圧 V_{ref} をゲートに受ける MOS トランジスタおよびノード 60e 上の電圧をゲートに受ける MOS トランジスタを含む。したがって、この差動増幅器 62 においても、高入力インピーダンスを介して基準電圧 V_{ref} を受けており、この第 1 の電圧発生回路 2 の電圧発生動作が基準電圧 V_{ref} に対し何ら悪影響を及ぼすことはない。

【0179】差動増幅器 62 は、ノード 60e 上の電圧が基準電圧 V_{ref} よりも高い場合には、高レベルの信号を出力し、MOS トランジスタ 64 をオフ状態に保持する。一方、ノード 60e 上の電圧が基準電圧 V_{ref} よりも低い場合には、その差に応じた低レベルの信号を出力する。この差動増幅器 62 の出力信号に従って MOS トランジスタ 64 のコンダクタンスが大きくなり、第 1 の電源 V_{CC} からノード 2a に電流を供給し、ノード 2a 上の電圧を上昇させ、応じてノード 60e の電圧を上昇させる。したがって、この差動増幅器 62 により、ノード 60e の電圧レベルが基準電圧 V_{ref} の電圧レベルに保持される。

【0180】MOS トランジスタ 60a ~ 60c はダイオードモードで動作しており、しきい値電圧の絶対値に等しい電圧降下をそれぞれ生じさせている。したがって、ノード 2a からの内部電圧 V_{Ca} は次式で表わされる：

$$V_{Ca} = V_{ref} + 2 \cdot V_{TN} + |V_{TP}|$$

第 1 のノード 4 上に伝達される高レベル内部電源電圧 V_4 は、第 1 の電源回路 5 の構成により異なるが、電圧 V_{Ca} をゲートに受けるソースフォロウ MOS トランジスタの場合、以下の式で表わされる。

【0181】

$$V_4 = V_{Ca} - V_{TN}$$

$$= V_{ref} + V_{TN} + |V_{TP}|$$

以上のように、この発明の実施の形態 11 に従えば、第 1 の電圧発生回路において、基準電圧と高レベル内部電源電圧を規定する内部電圧とを差動増幅器で比較し、その比較結果に従ってこの内部電圧のレベルを調整しているため、差動増幅器および電流供給トランジスタおよび比較電圧発生回路のフィードバックループにより、内部電源電圧を決定する内部電圧を安定に所定の電圧レベルに保持することができる。

【0182】[実施の形態 12] 図 16 は、この発明の実施の形態 12 に従う半導体集積回路の要部の構成を示す図である。この図 16 に示す半導体集積回路においては、第 1 の電圧発生回路 2 の部分の構成が示される。この図 16 に示す第 1 の電圧発生回路 2 は、以下の点において図 15 に示す第 1 の内部電圧発生回路の構成と異なっている。

【0183】すなわち、この図 16 に示す第 1 の内部電圧発生回路 2 は、内部ノード 2a に電流を供給するドライバ素子としての p チャネル MOS トランジスタ 64 のソースが、電源電圧 V_{CC} よりも高い昇圧電圧 V_{PP} を供給する高電圧源 V_{PP} に接続される。また、差動増幅器 62 は、その一方動作電源電圧として、昇圧電圧 V_{PP} を受ける。他の構成は図 15 に示す構成と同じであり、対応する部分には同一参照符号を付す。

【0184】この図 16 に示す第 1 の電圧発生回路は、電源電圧 V_{CC} よりも高い昇圧電圧 V_{PP} を一方動作電源電圧として動作する。この半導体集積回路が低電源電圧駆動される場合においても、昇圧電圧 V_{PP} により確実に比較電圧発生回路 60 を作動状態とすることができ、低電源電圧構成の場合においても、確実に所望の電圧レベルの内部電圧を生成することができる。

【0185】[実施の形態 13] 図 17 は、この発明の実施の形態 13 に従う半導体集積回路の要部の構成を示す図である。図 17 においては、第 2 のノード 7 上の低レベル内部電源電圧の電圧レベルを決定する内部電圧 V_{Sa} を発生する第 2 の電圧発生回路 3 の部分の構成が示される。

【0186】図 17 において、第 2 の電圧発生回路 3 は、p チャネル MOS トランジスタ 8 のゲートに結合され、内部電圧 V_{Sa} に対応する電圧レベルの電圧を発生する比較電圧発生回路 70 と、この比較電圧発生回路 70 からの電圧と基準電圧 V_{ref} とを比較する差動増幅器 72 と、差動増幅器 72 の出力信号に従ってノード 3

a 上の電圧 V_{Sa} の電圧レベルを調整する n チャンネル MOS トランジスタ 74 を含む。MOS トランジスタ 74 は、ノード 3a と接地ノード（第 2 の電圧源） V_{SS} の間に結合され、そのゲートに差動増幅器 72 の出力信号を受ける。

【0187】比較電圧発生回路 70 は、電源ノード（第 1 の電圧源） V_{CC} とノード 70e の間に接続されて一定の電流を供給する定電流源 70a と、ノード 70e とノード 3a の間に互いに直列に接続されかつ各々がダイオード接続される p チャンネル MOS トランジスタ 70b および 70c ならびに n チャンネル MOS トランジスタ 70d を含む。ノード 70e から比較電圧が出力される。

【0188】差動増幅器 72 は、比較電圧発生回路 70 からの比較電圧を正入力に受け、基準電圧 V_{ref} を負入力に受ける。

【0189】比較電圧発生回路 70 において、定電流源 70a からの定電流に従って、MOS トランジスタ 70b ~ 70d は、それぞれダイオードモードで動作し、しきい値電圧の絶対値の電圧降下を生じさせる。したがってノード 70e の電圧 V_{70e} は次式で表わされる：

$$V_{70e} = V_{Sa} + V_{TN} + 2 \cdot |V_{TP}|$$

差動増幅器 72 は、このノード 70e からの電圧 V_{70e} と基準電圧 V_{ref} を差動的に増幅する。電圧 V_{70e} が基準電圧 V_{ref} よりも高いときには、その電圧差に応じて差動増幅器 72 の出力信号がハイレベルとなり、MOS トランジスタ 74 のコンダクタンスが大きくなり、ノード 3a から第 2 の電圧源（接地ノード） V_{SS} へ電流を流し、この内部電圧 V_{Sa} の電圧レベルを低下させる。

【0190】電圧 V_{70e} が基準電圧 V_{ref} よりも低い場合には、差動増幅器 72 の出力信号は低レベルとなり、MOS トランジスタ 74 はオフ状態を維持する。したがって、ノード 3a からの内部電圧 V_{Sa} は、ノード 70e からの比較電圧 V_{70e} は基準電圧 V_{ref} と等しい電圧レベルに設定される。したがって、このノード 3a からの内部電圧 V_{Sa} は次式で表わされる：

$$V_{Sa} = V_{ref} - 2 \cdot |V_{TP}| - V_{TN}$$

第 2 のノード 7 上の電圧 V_7 の電圧レベルは第 2 の電源回路 8 の構成に応じて異なる。第 2 の電源回路 8 は図 1 および図 12 のソースフォロウ MOS トランジスタ 8c のいずれでもよい。以下の実施の形態においても同様である。

【0191】この図 17 に示す第 2 の内部電圧発生回路においても、差動増幅器 72 は、高入力インピーダンスを有する入力部に基準電圧 V_{ref} を受けている。したがって、基準電圧 V_{ref} の電圧レベルに何ら影響を及ぼすことなく、内部電圧 V_{Sa} を生成することができる。また、内部電圧 V_{Sa} が変動した場合、この比較電圧発生回路 70、差動増幅器 72 および MOS トランジスタ 74 のフィードバックループにより、高速で内部電

圧 V_{Sa} が所定の電圧レベルに駆動され、応じて、第 2 のノード 7 上の低レベル内部電源電圧 V_7 を安定に一定の電圧レベルに保持することができる。

【0192】また、この図 17 に示す第 2 の電圧発生回路を図 15 に示す第 1 の電圧発生回路と組合せて用いた場合、この第 1 のノード 4 上の高レベル電源電圧 V_4 は、基準電圧 V_{ref} よりも高い電圧レベルにあり、一方、第 2 のノード 7 上の低レベル内部電源電圧 V_7 は、基準電圧 V_{ref} よりも低い電圧レベルにある。したがって、出力信号は、基準電圧 V_{ref} を中心として、上下同じ振幅を有する。したがって、この差動増幅器 62（図 15 参照）および差動増幅器 72（図 17 参照）を用いて内部電圧を発生する構成においても、基準電圧 V_{ref} を中心とした振幅を有する信号を生成することができる。

【0193】【実施の形態 14】図 18 は、この発明の実施の形態 14 に従う半導体集積回路の要部の構成を示す図である。この図 18 においては、第 2 の電圧発生回路 3 の部分の構成が示される。

【0194】この図 18 に示す第 2 の電圧発生回路 3 は、図 17 に示す第 2 の電圧発生回路と、以下の点において異なっている。すなわち、この図 18 に示す第 2 の電圧発生回路 3 においては、内部電圧 V_{Sa} の電圧レベルを調整するための n チャンネル MOS トランジスタ 74 のソースが、接地電圧 V_{SS} に代えて負電圧 V_{BB} を受ける。残りの構成は図 17 に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0195】この図 18 に示すように、負電圧 V_{BB} を利用することにより、低電源電圧下において、基準電圧 V_{ref} の電圧レベルが低くなり、内部電圧 V_{Sa} が接地電圧に近い電圧レベルとなっても、この内部電圧 V_{Sa} を所望の電圧レベルに保持することができる。これにより、電圧発生回路の動作電源電圧の範囲を広くすることができる。

【0196】なお、負電圧 V_{BB} が MOS トランジスタ 70 のソースに与えられているため、差動増幅器 72 は、電源電圧 V_{CC} と負電圧 V_{BB} を両動作電源電圧として動作する。これにより、確実に MOS トランジスタ 74 をオフ状態へ駆動する。

【0197】【実施の形態 15】図 19 は、この発明の実施の形態 15 に従う半導体集積回路の要部の構成を示す図である。図 19 においては、第 1 のノード 4 上の高レベル内部電源電圧 V_4 を生成するための内部電圧 V_{Ca} を生成する第 1 の電圧発生回路 2 の部分の構成が示される。この図 19 に示す第 1 の電圧発生回路 2 の構成は、図 15 に示す第 1 の電圧発生回路 2 と以下の点において異なっている。すなわち、比較電圧発生回路 60 が、ノード 3a とノード 60h の間に接続される抵抗素子 60f と、ノード 60h と接地ノード（第 2 の電圧源） V_{SS} の間に接続される定電流源 60g で構成され

る。他の点は、図 15 に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0198】この図 19 に示す第 1 の電圧発生回路 2 の構成においては、ノード 60h の電圧レベルが、基準電圧 V_{ref} に等しくなるように、差動増幅器 62 および p チャネル MOS トランジスタ 64 により制御が行なわれる。したがって、ノード 2a 上の内部電圧 V_{Ca} の電圧レベルは次式で表わされる：

$$V_{Ca} = V_{ref} + I \cdot R$$

ここで I は、定電流源 60g が駆動する電流を示し、 R は抵抗素子 60f の抵抗値を示す。この抵抗素子 60f の抵抗値 R および定電流源 60g の駆動電流 I の大きさを適当に調整することにより、内部電圧 V_{Ca} は、基準電圧 V_{ref} 以上電源電圧 V_{CC} 以下の任意の電圧レベルに設定することができる。これにより、出力信号の振幅を、容易に最適化することが可能となる。

【0199】なお、この図 19 に示す第 1 の電圧発生回路 2 において、電源電圧 V_{CC} に代えて、昇圧電圧 V_{PP} が与えられてもよい（括弧内に示す）。

【0200】〔実施の形態 16〕図 20 は、この発明の実施の形態 16 に従う半導体集積回路の要部の構成を示す図である。図 20 においては、第 2 の電圧発生回路 3 の部分の構成が示される。この図 20 に示す第 2 の電圧発生回路 3 は、図 17 に示す第 2 の電圧発生回路と以下の点において異なっている。比較電圧発生回路 70 が、電源ノード（第 1 の電圧源） V_{CC} とノード 70h の間に接続される定電流源 70f と、ノード 70h とノード 3a との間に接続される抵抗素子 70g を含む。他の構成は、図 17 に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0201】この図 20 に示す第 2 の電圧発生回路の構成においては、ノード 3a からの内部電圧 V_{Sa} は、ノード 70h の電圧レベルが基準電圧 V_{ref} の電圧レベルと等しいため、次式で表わされる：

$$V_{Sa} = V_{ref} - I \cdot R$$

ここで I は、定電流源 70f を流れる電流を示し、 R は抵抗素子 70g の抵抗値を示す。

【0202】この図 20 に示す第 2 の電圧発生回路の構成の場合、したがって、内部電圧 V_{Sa} を基準電圧 V_{ref} と接地電圧 V_{SS} の間の任意の電圧レベルに設定することができる。この図 20 に示す第 2 の電圧発生回路 3 においても、接地電圧 V_{SS} に代えて括弧内に示す負電圧 V_{BB} が用いられてもよい。

【0203】また、図 19 および図 20 に示す電圧発生回路において、比較電圧発生回路 60 および 70 における定電流源が供給する電流を同じとしかつ抵抗素子の抵抗値 R を同じとすれば、出力回路からの出力信号は、基準電圧 V_{ref} を中心として上側の振幅および下側の振幅が同じ出力信号を得ることができる。

【0204】〔実施の形態 17〕図 21 は、この発明の

実施の形態 17 に従う半導体集積回路の要部の構成を示す図である。図 21 においては第 1 の電圧発生回路の部分の構成が示される。この図 21 に示す第 1 の電圧発生回路 2 は、図 19 に示す第 1 の電圧発生回路と以下の点において異なっている。すなわち、ノード 2a と抵抗素子 60f の間にダイオード接続された n チャネル MOS トランジスタ 60i が設けられる。第 1 の電源回路 5 は、第 1 の電圧源 V_{CC} と第 1 のノード 4 との間に接続され、そのゲートに電圧 V_{Ca} を受ける n チャネル MOS トランジスタ 5c を含む。他の構成は図 19 に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0205】この図 21 に示す第 1 の電圧発生回路 2 においては、内部電圧 V_{Ca} は次式で表わされる：

$$V_{Ca} = V_{ref} + I \cdot R + V_{TN}$$

したがって、第 1 のノード 4 に出力される高レベル内部電源電圧 V_4 は次式で表わされる：

$$V_4 = V_{ref} + I \cdot R$$

したがって、この図 21 に示す第 1 の電圧発生回路を用いた場合、第 1 のノード 4 に現れる高レベル内部電源電圧 V_4 の電圧レベルは、MOS トランジスタ 5c のしきい値電圧に依存せず、抵抗素子 60f の抵抗値 R と定電流源 60g の駆動する電流 I の大きさにより決定される。したがって、製造パラメータのばらつきによるしきい値電圧の変動の影響を受けることなく安定に所望の電圧レベルの高レベル内部電源電圧を生成することができる。

【0206】なお、この図 21 に示す構成においても、第 1 の電圧発生回路 2 は、昇圧電圧 V_{PP} を一方動作電源電圧として受けるように構成されてもよい（この昇圧電圧 V_{PP} は図 21 において括弧内に示す）。

【0207】〔実施の形態 18〕図 22 は、この発明の実施の形態 18 に従う半導体集積回路の要部の構成を示す図である。図 22 においては、第 2 の電圧発生回路の部分の構成が示される。この図 22 に示す第 2 の電圧発生回路は、図 20 に示す第 2 の電圧発生回路と以下の点において異なっている。すなわち、定電流源 70f と抵抗素子 70g の間に、ダイオード接続された p チャネル MOS トランジスタ 70i が配置される。第 2 の電源回路 8 は、第 2 の電圧源 V_{SS} と第 2 のノード 7 との間に接続されかつそのゲートに電圧 V_{Sa} を受ける p チャネル MOS トランジスタ 8c を含む。他の構成は、図 20 に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0208】この図 22 に示す第 2 の電圧発生回路の構成においては、第 2 のノード 7 に伝達される低レベル内部電源電圧 V_7 は、次式で表わされる：

$$\begin{aligned} V_7 &= V_{Sa} + |V_{TP}| \\ &= V_{ref} - I \cdot R \end{aligned}$$

したがってこの図 22 に示す第 2 の電圧発生回路を用い

れば、第2のノード7に現れる低レベル内部電源電圧V7は、MOSトランジスタ8cのしきい値電圧に依存しない。したがって、製造パラメータのばらつきなどによりMOSトランジスタのしきい値電圧がばらついても、その影響を受けることなく安定に所望の電圧レベルの低レベル内部電源電圧を生成することができる。

【0209】この図22に示す第2の電圧発生回路3の構成においても、接地電圧VSSに代えて括弧内に示すように、負電圧VBBが用いられてもよい。また、この図22に示す第2の電圧発生回路は、図21に示す第1の電圧発生回路と組合せて用いられれば、高レベル内部電源電圧および低レベル内部電源電圧いずれも、MOSトランジスタのしきい値電圧に依存しない電圧レベルに設定することができる。

【0210】〔実施の形態19〕図23は、この発明の実施の形態19に従う半導体集積回路の要部の構成を示す図である。図23においては、第1の電圧発生回路2の部分の構成が示される。この図23に示す第1の電圧発生回路2は、以下の点において、図19に示す第1の電圧発生回路の構成と異なっている。

【0211】すなわち、ノード2aとノード60hの間に互いに直列に抵抗素子60fa、60fbおよび60fcが接続され、かつ抵抗素子60fbおよび60fcそれぞれと並列に溶断可能なリンク素子60lbおよび60lcが接続される。これらのリンク素子60lbおよび60lcは、アルミニウムまたは高融点金属を用いて形成される。他の構成は図19に示す第1の電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付す。

【0212】この図23に示す第1の電圧発生回路2においては、リンク素子60lbおよび60lcの溶断／非溶断により、ノード2aとノード60hの間の抵抗素子の合成抵抗値が決定される。リンク素子60lbおよび60lcがともに溶断された場合、ノード2aとノード60hの間に、3個の抵抗素子60fa、60fbおよび60fcの合成抵抗値を有する抵抗素子が配置される。一方、リンク素子60lbおよび60lcがともに非溶断の場合、抵抗素子60fbおよび60fcがこれらのリンク素子60lbおよび60lcにより短絡され、ノード2aとノード60hの間の抵抗値は、抵抗素子60faが有する抵抗値により与えられる。

【0213】したがってこれらのリンク素子60lbおよび60lcを選択的に溶断／非溶断とすることにより、ノード2aとノード60hの間の抵抗値を調整することができ、応じて内部電圧VCaを通して第1のノード4に現れる高レベル内部電源電圧V4の電圧レベルを調整することができる。これにより、製造パラメータのばらつきなどにより、高レベル内部電源電圧V4の電圧レベルが所望の電圧レベルと異なる場合においても、容易に所望の電圧レベルに調整することができる。

【0214】このリンク素子60lbおよび60lcは、半導体集積回路がたとえば半導体記憶装置を含む場合、不良メモリセルを救済するための不良アドレスプログラム時に行なわれるリンク素子のプログラム（溶断／非溶断）と同一工程でそれらのプログラムを行なうことにより、製造工程を増加させることなく容易に高レベル内部電源電圧のレベル調整を行なうことができる。

【0215】〔実施の形態20〕図24は、この発明の実施の形態20に従う半導体集積回路の要部の構成を示す図である。図24においては、第2の電圧発生回路の部分の構成が示される。この図24に示す第2の電圧発生回路3は、以下の点において、図20に示す第2の電圧発生回路の構成と異なっている。

【0216】すなわち、定電流源70fとノード3aの間に互いに直列に抵抗素子70ga、70gbおよび70gcが接続され、かつこれらの抵抗素子70gbおよび70gcそれぞれと並列に溶断可能なリンク素子70lbおよび70lcが接続される。他の構成は図20に示す第2の電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付す。

【0217】この図24に示す第2の電圧発生回路3においても、リンク素子70lbおよび70lcは、アルミニウムまたは高融点金属で形成される。これらのリンク素子70lbおよび70lcの溶断／非溶断により、ノード70hとノード3aの間の抵抗値を調整することができ、応じて内部電圧Vsaを通して第2のノード7の低レベル内部電源電圧V7の電圧レベルを調整することができる。

【0218】これにより、製造パラメータのばらつきにより、第2のノード上の低レベル内部電源電圧の電圧レベルが所望値から変動している場合においても、これらのリンク素子70lbおよび70lcの溶断により、正確に所望の電圧レベルに設定することが可能となる。

【0219】〔実施の形態21〕図25は、この発明の実施の形態21に従う半導体集積回路の全体の構成を概略的に示す図である。図25においては、この半導体集積回路1は、基準電圧Vrefを発生する基準電圧発生回路80と、この基準電圧Vrefに従って内部電源電圧V4およびV7を生成する内部電源回路82を含む。内部電源回路82は、先の実施の形態のいずれかの構成を備え、第1および第2の電圧発生回路2および3、内部電源電圧発生用のMOSトランジスタ5および7を含む。この内部電源回路82は、安定化容量15および18が、外部に設けられない場合には、これらの安定化容量15および18を含む。

【0220】出力回路10は、内部回路84からの出力信号INを受けて、出力ノード（出力端子）9上に、電圧V4またはV7レベルの信号を伝達する。内部回路84は、電源電圧VCCおよび接地電圧VSSを両動作電源電圧として受けて動作する。

【0221】この図25に示すように、基準電圧発生回路80を、半導体集積回路1内に設けることにより、この基準電圧を受けるためのピン端子が不要となり、端子数を低減することができる。

【0222】図26は、図25に示す基準電圧発生回路80の構成の一例を示す図である。図26において、基準電圧発生回路80は、電源ノード（第1の電圧源）VCCとノード80gの間に接続される高抵抗の抵抗素子80aと、ノード80gとノード80iの間に接続されかつそのゲートがノード80gに接続されるnチャネルMOSトランジスタ80bと、ノード80iとノード80hの間に接続されかつそのゲートがノード80hに接続されるpチャネルMOSトランジスタ80cと、ノード80hと接地ノード（第2の電圧源）VSSの間に接続される高抵抗の抵抗素子80dと、電源ノードVCCと出力ノード80jの間に接続されかつそのゲートがノード80gに接続されるnチャネルMOSトランジスタ80eと、出力ノード80jと接地ノードVSSの間に接続されかつそのゲートがノード80hに接続されるpチャネルMOSトランジスタ80fを含む。次に、動作について説明する。

【0223】抵抗素子80aおよび80dの抵抗値は、MOSトランジスタ80bおよび80cそれぞれのオン抵抗よりも十分に大きくされており、MOSトランジスタ80bおよび80cは、ダイオードモードで動作する。また抵抗素子80aおよび80dの抵抗値は互いに等しくされており、したがってノード80iの電圧レベルは $VCC/2$ となる。したがって、ノード80gの電圧V80gおよびノード80hの電圧V80hは、それぞれ、次式で表わされる。

$$\begin{aligned} V80g &= VCC/2 + VTN \\ V80h &= VCC/2 - |VTP| \end{aligned}$$

MOSトランジスタ80eは、そのゲート上の電圧V80gが、ドレイン電圧VCCよりも低いいためソースフォロワモードで動作し、そのゲート上の電圧V80gよりもしきい値電圧VTN低い電圧を出力ノード80jに伝達する。一方、pチャネルMOSトランジスタ80fは、そのゲート上の電圧V80hがドレイン電圧VSSよりも高いため、ソースフォロワモードで動作し、この電圧V80hよりもしきい値電圧の絶対値 $|VTP|$ 高い電圧を出力ノード80aに伝達する。したがって、基準電圧Vrefは、次式で表わされる。

$$Vref = VCC/2$$

この図26に示す基準電圧発生回路80の構成において、高抵抗の抵抗素子80aおよび80dが用いられており、この抵抗素子80a、MOSトランジスタ80bおよび80cならびに高抵抗抵抗素子80dの経路においては微小電流が流れるだけである。したがって出力回路動作時において、電源電圧VCCが変化しても、この基準電圧発生回路80の応答速度は極めて遅く、ノード

80i上の電圧レベルの変化は遅く、電源ノイズ発生時においても、このノード80iの電圧レベルはほとんど変化せず、ほぼ電源電圧の急激な変化に依存しない安定な一定の電圧レベルの基準電圧Vrefを生成することができる。

【0226】また、MOSトランジスタ80gは、基準電圧Vrefが所定電圧レベル（ $VCC/2$ ）よりも低くなるとオン状態となり、出力ノード80jへ電流を供給する。このときには、pチャネルMOSトランジスタ80fはオフ状態にある。一方、基準電圧Vrefが所定電圧レベル（ $VCC/2$ ）よりも高くなると、pチャネルMOSトランジスタ80fがオン状態となり、出力ノード80jの電圧レベルを低下させる。このときには、MOSトランジスタ80eはオフ状態にある。したがって、このMOSトランジスタ80eおよび80fは、同時にオン状態とならず、貫通電流は生じない。また、これらのMOSトランジスタ80eおよび80fは、オン状態とオフ状態の境界領域にあり、その消費電流は極めて小さい。

【0227】以上のように、この発明の実施の形態21に従えば、半導体集積回路内部に基準電圧を発生する回路を設けたため、基準電圧を外部から受けるためのピン端子が不要となり、ピン端子数を低減することができる。応じてチップ面積を低減することができる。

【0228】〔実施の形態2〕図27は、この発明の実施の形態2に従う半導体集積回路の全体の構成を概略的に示す図である。図27に示す半導体集積回路は、以下の点において図25に示す半導体集積回路と異なっている。

【0229】すなわち、この図27に示す半導体集積回路は、内部に設けられた基準電圧発生回路80からの基準電圧Vrefと入力ノード85に与えられた入力信号VINを比較し、その比較結果に従って信号を出力する入力回路86を含む。この入力回路86は、基準電圧Vrefを負入力に受け、入力ノード85からの入力信号VINを正入力に受ける差動増幅器86aを含む。他の構成は、図25に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0230】内部電源回路82および入力回路86両者にオンチップの基準電圧発生回路80からの基準電圧Vrefを与えておくことにより、この入力信号の論理レベルを判定するための基準電圧を外部から各チップに共通に与える必要はなく、また入力信号の高レベルおよび低レベルの判定基準が、出力回路10から出力ノード9へ出力される出力信号VOUの中心レベルと同じであり、各チップに同じ基準電圧発生回路を内蔵させておけば、入力信号および出力信号の中心レベルを同じ基準電圧Vrefに設定することができ、正確に信号を転送することができる。

【0231】図27に示す構成においては、入力ノード

85は、出力ノード9と別に設けられている。しかしながら、この入力ノード85と出力ノード9は同じ外部端子に接続されていてもよい。

【0232】また上述の図26に示す基準電圧発生回路においては、基準電圧 V_{ref} は、電源電圧 V_{CC} の $1/2$ の電圧レベルに設定されている。しかしながら、先に述べたSSTL 3のクラスI方式等において用いられているように、この入力信号の高レベルおよび低レベル判定基準は、 $0.45V_{DDQ}$ の電圧レベルに設定されてもよい。すなわち、基準電圧 V_{ref} が、 $0.45V_{DDQ}$ の電圧レベルに設定されてもよい。ここで、 V_{DDQ} は、出力回路専用に外部から与えられる電源電圧を示す。この出力回路専用に外部から電源電圧を与え内部回路を動作させるための電源電圧と別の電源とすることにより、出力回路動作時における内部回路用の電源電圧の変動を抑制しかつ出力回路専用に電源電圧を与えることにより、出力回路は余裕を持って出力ノードを駆動することができ、安定に信号を出力することができる。

【0233】以上のように、この発明の実施の形態22に従えば、半導体集積回路内に基準電圧発生回路を設け、この基準電圧発生回路からの基準電圧を出力信号振幅を決定する内部電源回路へ与えかつ入力信号の高レベル/低レベル判定基準となる基準電圧として用いるように構成しているため、ピン端子数を増加させることなく正確に入力信号および出力信号の中心レベルが一致した信号の転送を行なうことができる。特に、システム電源の変動時においてこのシステム内の半導体集積回路すべての電源電圧が同様に変動した場合、基準電圧も同様に変動するため、このようなシステム電源変動時においても、正確に信号の高レベル/低レベルを判定して安定にかつ正確に信号転送を行なうことができる。

【0234】〔実施の形態23〕図28は、この発明の実施の形態23に従う半導体集積回路の全体の構成を概略的に示す図である。この図28において、半導体集積回路1は、記憶素子としてのDRAM（ダイナミック・ランダム・アクセス・メモリ）回路90と、このDRAM回路90に格納されたデータと外部からのデータに対し所定の処理を行なうプロセサ92と、この集積回路外部と信号の授受を行なうための入出力インタフェース回路94を含む。プロセサ92およびDRAM回路90は、この入出力インタフェース回路94とデータの授受を行なうことができる。

【0235】この半導体集積回路1では、プロセサ92とDRAM回路90とが集積化されている。同じ半導体チップ上にプロセサ92およびDRAM回路90が載置されるため、このDRAM回路90は、ピン端子数を制限を受けることなく、所望のビット幅のデータバスを介してプロセサ92とデータの授受を行なうことができる。これにより、高速データ転送が可能となる。

【0236】入出力インタフェース回路94は、これま

でに説明した、出力回路10と、この出力回路10の出力信号の振幅を制限する内部電源回路82を含む。入力インタフェース部は、基準電圧に従って入力信号の論理レベルの判定を行なう。

【0237】図29は、図28に示すDRAM回路90の構成を概略的に示す図である。図29において、DRAM回路90は、ダイナミック型メモリセルを複数個有するDRAM90aと、このDRAM90aに対し、プロセサ92または外部からの命令に従ってアクセス制御を行なうDRAMコントローラ90bを含む。DRAMコントローラ90bは、DRAM90aへのデータの書込および読出を制御し、これにより、プロセサ92とDRAM90aとの間のデータ転送および入出力インタフェース回路94とDRAM90aとの間のデータ転送を実現する。

【0238】図30は、図29に示すDRAM（ダイナミック・ランダム・アクセス・メモリ）の全体の構成を概略的に示す図である。図30において、DRAM90aは、行列状に配列される複数のメモリセルMCを有するメモリセルアレイ100を含む。このメモリセルアレイ100においては、メモリセルの各行に対応して配置され各々に対応の行のメモリセルが接続される複数のワード線と、メモリセルの各列に対応して配置され、各々に対応の列のメモリセルが接続される複数対のビット線が配置される。図30においては、1つのワード線WLと1つのビット線対BLPとを代表的に示す。ビット線対BLPはビット線BLと補のビット線 \overline{BL} を含む。ワード線WLと1対のビット線BLPの交差部に対応して複数のメモリセルMCが配置される。図30においては、ビット線BLとワード線WLの交差部に対応して配置されるメモリセルMCを代表的に示す。

【0239】メモリセルMCは、情報を電荷の形態で格納するためのメモリセルキャパシタMSと、ワード線WLの選択時導通し、メモリセルキャパシタMSのストレージノードSNを対応のビット線（図30においてはビット線BL）に接続するnチャネルMOSトランジスタで構成されるアクセストランジスタMTを含む。メモリセルキャパシタMSの他方電極ノード（セルプレート電極ノード）へは、中間電圧（セルプレート電圧）VCPが印加される。この中間電圧VCPは、DRAMの動作電源電圧VCCと接地電圧GNDの差の $1/2$ の電圧レベルである。このDRAMの動作電源電圧は、この半導体集積回路1のプロセサ92およびDRAM回路90に共通に与えられる電源電圧であってもよく、またDRAM内部で降圧して生成される内部電源電圧のいずれであってもよい。

【0240】DRAM90aは、さらに、DRAM外部から与えられるアドレス信号を受けてバッファ処理して内部アドレス信号を生成するアドレスバッファ102と、アドレスバッファ102からの内部行アドレス信号

に従ってメモリセルアレイ 100 のアドレス指定された行に対応するワード線を選択状態へ駆動する行選択回路 104 と、活性化時、ビット線対 BLP の電位を差動的に増幅し、かつラッチするセンスアンプ回路 106 と、アドレスバッファ 102 からの内部列アドレス信号に従ってメモリセルアレイ 100 の列を選択する列選択回路 108 を含む。この列選択回路 108 により選択された列上のメモリセルに対し書込／読出回路 110 によりデータの書込／読出が行なわれる。この書込／読出回路 110 は、また DRAM 外部とデータの入出力を行なう。

【0241】DRAM90a は、さらに、図 29 に示す DRAM コントローラからの各種制御信号を受けて、内部動作に必要な制御信号を生成する制御回路 112 を含む。

【0242】動作時においては、行選択回路 104 により、選択行に対応するワード線 WL が選択状態へ駆動され、この選択ワード線 WL に接続されるメモリセルのデータが対応のビット線上に読出される。ビット線 BL および /BL の一方にメモリセルのデータが読出され、他方は所定のプリチャージ電位 ($V_{CC}/2$) の電圧レベルに保持され、メモリセルの読出データに対する基準電圧を与える。センスアンプ回路 106 が、次いで活性化され、各ビット線対 BLP の電位を差動的に増幅しかつラッチする。次いで、列選択回路 108 が、このアドレスバッファ 102 からの内部列アドレス信号に従って選択列を選択し書込／読出回路 110 へ接続する。これにより、この選択列上のメモリセルに対して書込／読出回路 110 によりデータの書込／読出が行なわれる。

【0243】メモリセルキャパシタ MS は、小占有面積で大きな容量値を実現するために、そのキャパシタ絶縁膜は薄くされる。薄いキャパシタ絶縁膜を有するメモリセルキャパシタ MS の耐圧を保証するために、中間電圧レベルのセルプレート電圧 VCP がセルプレート電極ノード SC へ印加される。一方、ワード線 WL の電位は、動作電源電圧レベルよりも高い電圧レベルまで選択時に昇圧される。したがって、このアクセストランジスタ MT のゲート絶縁膜は、その耐圧を保証するために、メモリセルキャパシタ MS のそれよりも厚くする。

【0244】図 31 は、アクセストランジスタ MT を用いるキャパシタ（ゲートキャパシタ）とメモリセルキャパシタ MS の単位面積あたりの容量値と DRAM の記憶容量との関係を示す図である。図 31 において、横軸に DRAM の記憶容量を示し、縦軸に単位面積 (μm^2) あたりの容量値（単位 fF）を示す。アクセストランジスタ MT を用いるゲートキャパシタは、その耐圧は電源電圧以上である。このゲートキャパシタに用いられるトランジスタは周辺回路またはプロセサ 22（図 28 参照）に含まれる論理回路の構成要素である MOS トランジスタと同様ののものであってもよい。したがって、図 31 においては、アクセストランジスタ MT および周辺回

路または論理回路の構成要素である MOS トランジスタを用いたゲートキャパシタ C_g の単位容量値 C_0 が示される。

【0245】一方、メモリセルキャパシタ MS は、小占有面積で十分大きい容量値を実現するために、セルプレートが中間電圧 VCP ($=V_{CC}/2$) の電圧レベルである。このメモリセルキャパシタ MS の耐圧は、したがって $V_{CC}/2$ である。その MOS トランジスタと同一用途にメモリセルキャパシタ MS を利用する場合、この耐圧特性を電源電圧 V_{CC} とするために、2 個のメモリセルキャパシタ MS を直列に接続して用いる。この場合、その容量値の直列接続による低下を補償するために、メモリセルキャパシタ MS の面積が 2 倍に設定される。したがって、メモリセルキャパシタ MS を用いる場合、図 31 の曲線 I-I' に示すように、 $C_0 = C_S/4$ の関係が満たされる。ここで、 C_S は、実際のメモリセルキャパシタ MS の容量値である。したがって、この図 31 に示す縦軸の値の $1/4$ の値が実際のメモリセルキャパシタ MS の容量値 C_S を与える（図 31 に示す縦軸の容量値 C_0 は、単位面積あたりの容量値を示している）。

【0246】図 31 に示すように、MOS トランジスタを用いるゲートキャパシタおよびメモリセルキャパシタ MS いずれにおいても、DRAM の記憶容量が増加するにつれて、その容量値 C_g および C_S は増加する。ゲートキャパシタの場合、ゲート絶縁膜の膜厚およびチャネル幅／チャネル長がスケーリング則に沿ってスケールダウンされる。したがって、高集積化が進んでも、その容量値は増加するが、その増加の程度は比較的小さい（図 31 の曲線 I 参照）。一方、メモリセルキャパシタ MS の場合、DRAM の記憶容量が増加するにつれて、その占有面積が低減されても、以下に述べる理由のために、ほぼ同じ大きさの容量値を実現するため、DRAM の記憶容量の増加に伴って、その単位容量値 C_0 は MOS キャパシタ（ゲートキャパシタ）のそれに比べて急速に増加する（図 31 の曲線 I-I' 参照）。

【0247】DRAM においては、メモリセル MC の記憶情報の読出は、ビット線 BL（または /BL）に現れる電圧（読出電圧） ΔV をセンスアンプにより検知増幅することにより行なわれる。この読出電圧 ΔV は、メモリセルキャパシタ MS の容量値 C_S とビット線 BL（または /BL）の容量値 C_B の比、 C_S/C_B 、が大きくなるほど、その絶対値が大きくなる。ビット線容量 C_B は、ビット線 BL（または /BL）の長さおよびそれに接続されるアクセストランジスタ MT の数により決定される。このビット線容量 C_B をできるだけ小さくするために、通常、DRAM においてはブロック分割方式などが採用され、ビット線の長さが短くされかつそれに接続されるメモリセルの数が小さくされる。しかしながら、このビット線容量 C_B の値を小さくするにも限度があ

る。したがって、メモリセルキャパシタMSの容量値C_Sをできるだけ大きくすることが、読出電圧 ΔV の絶対値を大きくするために必要となる。

【0248】また、DRAMにおいては、入射 α 線による正孔・電子対の生成により蓄積電荷量の変化が生じると、読出電圧 ΔV の値が変化し、メモリセルデータの正確な読出ができなくなる。スタティック・ランダム・アクセス・メモリ（SRAM）においては、メモリセルはフリップフロップの構成を備えており、またフラッシュEEPROM（フラッシュメモリ：一括消去型不揮発性半導体記憶装置）のメモリセルではフローティングゲートの蓄積電荷によりメモリセルトランジスタのしきい値電圧を決定しており、これらのメモリセルに対する入射 α 線の影響はDRAMメモリセルに比べて小さい。この α 線の影響を低減し、また十分な読出電圧 ΔV を生成するために、DRAMにおいては、メモリセルキャパシタMSの蓄積電荷量はできるだけ大きくされる。特に、動作電源電圧V_{CC}が2.5Vまたは1.2Vと小さくなると、このメモリセルキャパシタMSの蓄積電荷量が低減するため、十分な大きさのメモリセルMCの容量値が必要となる。

【0249】上述のような観点から、DRAMのメモリセルキャパシタの容量値は、集積度にかかわらずほぼ一定の大きさ（30～35fF）の値が必要とされる。

【0250】図31においては、直線IはMOSキャパシタ（ゲートキャパシタ）の容量値C_gを示し、直線IIは、メモリセルキャパシタを2個直列にした場合の単位面積あたりの容量値を示し、直線IIIは、実際のメモリセルキャパシタの容量値を示す。メモリセルキャパシタMSおよびMSキャパシタ（ゲートキャパシタ）の単位面積あたりの容量値C₀の値を各記憶容量それぞれに対応して示す。

【0251】図31に示すように、たとえば16MビットDRAMにおいては、メモリセルキャパシタMSを用いる容量の容量値はゲートキャパシタの容量値の0.8倍であり、64MビットDRAMの場合、メモリセルキャパシタMSに用いる容量の単位面積あたりの容量値は、ゲートキャパシタの単位面積あたりの容量値の1.5倍となる。256MビットDRAMにおいては、メモリセルキャパシタMSを用いる容量の単位面積あたりの容量値は、ゲートキャパシタの単位面積あたりの容量値の約2.5倍となる。すなわち、64MビットDRAM以降の世代のDRAMにおいては、メモリセルキャパシタMSを用いる容量の方が、ゲートキャパシタに比べて面積効率が優れており、かつDRAMの記憶容量の増大に伴って急激に両者の容量値の差が大きくなる。

【0252】本実施の形態23においては、このメモリセルキャパシタMSのゲートキャパシタに対する特徴を有効に活かして、面積効率に優れた安定化容量を実現する。特に、16Mビットよりも記憶容量の小さなDRA

Mのメモリセルキャパシタであっても、ゲートキャパシタよりも十分に大きな容量値を小占有面積で実現する面積効率に優れた容量素子を実現する。特に、図1等において示すように、内部電源電圧V₄およびV₇を安定化するための安定化容量15および18は、外部負荷容量の10ないし100倍の大きさの容量値を必要とし、たとえばその容量値は5nFである。したがって、半導体集積回路がDRAMを含むとき、このDRAMのメモリセル製造プロセスと同一プロセスで安定化容量を実現することにより、小占有面積でかつ面積効率に優れた安定化容量を実現する。

【0253】図32は、DRAMのメモリセルの断面構造を概略的に示す図である。図32においては、2つのメモリセルMCaおよびMCbの断面構造を概略的に示す。メモリセルMCaおよびMCbは、低不純物濃度のP⁻型半導体基板200上に形成された基板200より高濃度のPウェル領域201表面に形成される。このPウェル201表面に、互いに間をおいて、高濃度N型不純物領域202a、202bおよび202cが形成される。不純物領域202aおよび202bの間の領域上にゲート絶縁膜（図示せず）を介してワード線（WL）となる第1層ポリシリコン層でたとえば形成される導電層204aが形成され、また不純物領域202bおよび202cの間の領域上に図示しないゲート絶縁膜を介して別のワード線となるたとえば第1層ポリシリコン層で形成される導電層204bが形成される。これらの導電層204aおよび204bは互いに平行に図30の行方向に延在して配置される。

【0254】これらの導電層204aおよび204b上に、たとえば第1層アルミニウム配線層で形成されるビット線（BL）となる導電層205がワード線となる導電層204aおよび204bと交差する方向に配置される。

【0255】不純物領域202aに対し、導電層204a上にまで延びるプラグ部分と平坦部とを有するメモリセルキャパシタの一方電極（ストレージノード）を形成する導電層206aが形成され、不純物領域202cに対し、同様プラグ部分と平坦部とを有するキャパシタのストレージノードとなる導電層206bが形成される。これらの導電層206aおよび206bはそれぞれ不純物領域202aおよび202cに電気的に接続される。

【0256】このメモリセルキャパシタのストレージノードとなる導電層206aおよび206bの平坦部とキャパシタ絶縁膜207aおよび207bを介して対向して、これらの導電層206aおよび206bを覆うようにメモリセルキャパシタの他方電極（セルプレート電極ノード）を形成する導電層208が形成される。メモリセルキャパシタの他方電極層（セルプレート電極ノード）となる導電層208はすべてのメモリセル上にわたって延在して配置される。

【0257】ワード線となる導電層204aと不純物領域202aおよび202bと、キャパシタとなる導電層206aと、キャパシタ絶縁膜207aおよび導電層208とにより、一方のメモリセルMCaが実現される。メモリセルMCbは、不純物領域202bおよび202cと、ワード線となる導電層204bと、ストレージノードとなる導電層206bと、キャパシタ絶縁膜207bと、セルプレート電極ノードとなる導電層208とにより実現される。

【0258】この図32に示す構成から明らかなように、メモリセルのアクセストランジスタと平面図的に見て重なり合うようにメモリセルキャパシタが配置される。このような三次元的なセル構造とすることにより、セル占有面積を低減することが可能となる。一方、ストレージノードを構成する導電層206aおよび206bは、その上部の平坦部の膜厚が比較的厚くされる。これにより、セルプレート電極ノードとして作用する導電層208との対向面積が大きくなる。この平面図的に見た占有面積の増大をもたらすことなく、対向面積を増大させ、メモリセルキャパシタの容量値を増大する。

【0259】この図32に示すメモリセルの構造はスタックトキャパシタ構造と呼ばれ、このような三次元的なスタックトキャパシタは、面積効率の優れた容量素子を実現する。本実施の形態においては、この内部電源電圧を安定化するための安定化容量素子として、このメモリセルの構造を利用する。

【0260】〔安定化容量素子1〕図33は、この発明の実施の形態23における第1の安定化容量素子の断面構造を概略的に示す図である。図33において、P⁺型半導体基板領域200の表面上に、第1導電型の半導体基板領域としてのNウェル(N型半導体層)210が形成される。このNウェル210を基板領域として、図32に示すメモリセルと同一の構造を有する容量素子が形成される。すなわち、Nウェル210の表面に互いに間隔をおいて高濃度N型不純物領域202g、202d、202e、および202fが形成される。これらの不純物領域202d~202gは、図32に示すメモリセルの不純物領域202aおよび202bと同一製造プロセスにおいて形成される。以下の説明において、図32に示す構成要素と図33に示す構成要素において添字を除いて同じ参照数字が付される構成要素は、同一の製造プロセスで形成される。

【0261】不純物領域202fに隣接して、素子分離用のたとえば熱酸化膜である素子分離膜209cが形成される。また、不純物領域202dおよび202gの間に、素子分離膜209bが形成され、また不純物領域202g外部に接して素子分離膜209aが形成される。素子分離膜209aおよび209cによりこの容量素子形成領域が規定される。

【0262】不純物領域202dおよび202eの間の

半導体基板領域(Nウェル)210上に、ゲート絶縁膜203aを介してワード線と同一層に導電層204dが形成される。不純物領域202eおよび202fの間の半導体基板領域210表面上にゲート絶縁膜203bを介してワード線と同一層に形成される導電層204eが形成される。また、素子分離膜209bおよび209c上にワード線と同一層の導電層204cおよび204c'が形成される。これらの導電層204c~204c'は、図32に示すワード線すなわちゲート電極層204aおよび204bと同様の不純物が導入された低抵抗のポリシリコン、高融点金属または高融点金属シリサイド層で形成される。これらの導電層204c~204eおよび204c'は、ワード線相当導電層である。

【0263】不純物領域202dおよび202fに対し断面がT字型形状を有する第1の導電層206cおよび206dがそれぞれ形成され、これらの第1の導電層206cおよび206dは不純物領域202dおよび202fにそれぞれ電氣的に接続される。これらの第1の導電層206cおよび206dの各々は、対応の不純物領域202dおよび202fと電氣的に接続するためのブラグ部分(脚部分)と実際に容量を形成するために、比較的大きな表面面積を有するフラット部分を有する。これらの導電層206cおよび206dは、図32に示すメモリセルのストレージノードを構成する導電層206aおよび206bと同一の製造プロセスで形成されかつ同一構造および材料(不純物ドーパントポリシリコン)を有する。第1の導電層206cおよび206dは、所定形状にパターニングされており、互いに層間絶縁膜により分離されている。

【0264】第1の導電層206cおよび206d上に絶縁膜207aおよび207bを介して第2の導電層208aが形成される。この第2の導電層208aは、低抵抗の高濃度に不純物がドーパされたポリシリコンで構成され、図32に示すメモリセルのキャパシタの他方電極となるセルプレート導電層208と同一製造プロセスで形成される。

【0265】不純物領域202eは、図の水平方向に沿って延在する導電層205aに電氣的に接続される。この導電層205aは、図32に示すビット線を構成する導電層205に対応し、このビット線205と同一製造プロセスで形成されかつこのビット線に対応する導電層205と同一材料の高融点金属シリサイドなどで構成される。第2の導電層208aが、この容量素子の一方電極ノードVAに電氣的に接続され、Nウェル210の表面に形成された不純物領域202gが、この容量素子の他方電極ノードVBに電氣的に接続される。

【0266】この図33に示す構成においては、第2の導電層208aが容量素子の一方電極を形成する。第1の導電層206cおよび206dが不純物領域202dおよび202fを介してNウェル(半導体基板領域)2

10に電氣的に接続されてこの容量素子の他方電極ノードVBにさらに電氣的に接続される。したがって、領域AおよびBに形成される容量が互いに並列に電極ノードVAおよびVBの間に接続される。これらの電極ノードVAおよびVBが、図1に示すMOSトランジスタ5または8のドレインおよびソースにそれぞれ接続される。

【0267】この図33に示す容量素子は、メモリセルと同一の構造を備えており、領域AおよびBに形成される容量素子の占有面積は十分小さくされている。キャパシタ絶縁膜207cおよび207dは、図32に示すメモリセルのキャパシタ絶縁膜207aおよび207bと同様、シリコン窒化膜およびシリコン酸化膜の2層構造を有しており、十分大きな容量値を小占有面積で実現することができる。

【0268】また、領域AおよびBに形成される容量素子は、メモリセルと同一の構成を備えているため、半導体基板領域(Nウェル)210の形成を除いてすべてメモリセルの対応する構成要素の製造工程と同一の工程でこれらの構成要素を形成することができ、DRAMにおいて製造工程数を増加させることなく面積効率の優れた容量素子を実現することができる。

【0269】図34は、図33に示す容量素子の平面レイアウトを示す図である。図34において、不純物領域202dおよび202eの間に、ワード線に相当する導電層204dが配設され、不純物領域202eおよび202fの間に、ワード線に相当する導電層204eが配設される。不純物領域202eはコンタクト孔215を介してビット線に相当する導電層205aに電氣的に接続される。導電層204dおよび204eと導電層205aとは互いに直交する方向に配設される。これは、先に説明したように、容量素子はメモリセルと同一の構成を備えており、導電層204dおよび204eがワード線に相当し、導電層205aがビット線に相当するためである。

【0270】不純物領域202dは、破線で示すプラグ部分を介して導電層206cに電氣的に接続され、不純物領域202fは、破線で示すプラグ部分を介して導電層206dに電氣的に接続される。導電層206cおよび206d上にメモリセルキャパシタのセルプレートに相当する導電層208aが配置される。容量素子の電極ノードを構成する導電層206cおよび206dは、ともに導電層204dおよび204e上にまで延在している。

【0271】図33に示すように、これらの導電層206cおよび206dの上側平坦部分は膜厚が厚くされており、その側面の表面積は十分大きくされている。したがって、導電層208aと導電層206cおよび206dとの対向面積が十分大きくされる。すなわち、DRAMのメモリセルキャパシタの特徴である小占有面積で大きな容量値を実現するという特徴を備える容量素子を得

ることができる。この図33および図34に示す容量素子が、メモリセルのアレイ構成と同様、必要な数だけ行および列方向に配置される。

【0272】図35(A)および(B)は、1つの単位容量素子の電氣的等価回路およびこの発明の実施の形態23の第1の容量素子の電氣的等価回路を示す図である。図35(A)に示すように、1つの単位容量素子は、導電層208aと導電層206(206cまたは206d)とで形成される容量CS(メモリセルキャパシタMSに相当)と、ワード線に相当する導電層204(204d, 204e)と半導体基板領域(Nウェル)210とで形成される容量Cpを含む。容量Cpおよび容量CSは、半導体基板領域210に並列に接続される。容量CSの一方電極がノードVAに接続される。半導体基板領域210は、他方電極ノードVBに接続される。容量Cpを形成するワード線相当導電層204(204c~204f)はフローティング状態とされてもよく、また一定の電位に固定的に接続されてもよい。容量Cpは、メモリセルのアクセストランジスタのゲート容量に相当する。したがって容量Cpの耐圧は、電源電圧VCC以上であり、この導電層204(204d, 204e)に固定的に電源電圧VCCが与えられても何ら信頼性が損なわれることはない。一方、メモリセルキャパシタに対応する容量CSは、そのキャパシタ絶縁膜が十分薄くされており、耐圧は小さい。しかしながら、電極ノードVAおよびVBの間に印加される電圧は、VCC/2よりも低い電圧レベルであり、その信頼性は何ら損なわれることはない。

【0273】図35(B)において、電源ノードVAおよびVBの間に、容量CSが複数個並列に接続される。図35(B)においては、容量Cpは、容量CSに比べて小さいため示していない。この図35(B)に示すように、容量CSが並列に複数個ノードVAおよびVBの間に接続される。容量CSの数をXとすると、この容量素子は、 $X \cdot CS$ の容量値を与える。したがって、メモリセルキャパシタに相当する単位容量素子CSを並列に必要な数だけ接続することにより、必要とされる容量値を有する容量素子を低占有面積で容易に実現することができる。

【0274】図36(A)は、この図33および図34に示す容量素子を第1のノード4の電圧安定化のための容量素子として用いた際の接続態様を示す図である。図36(A)において、この容量素子15の一方電極ノードVAが第1の電圧源VCCに接続され、他方電極ノードVBが第1のノード4に接続される。第1のノード4上の内部電源電圧V4は、先に説明しているように、基準電圧Vrefよりも高い電圧レベルであり、したがって電源電圧VCCと内部電源電圧V4の差は、 $VCC/2$ よりも小さい。したがって安定化容量素子15の電極ノードVAおよびVB間には、 $VCC/2$ よりも高い電

圧は印加されず、メモリセルキャパシタと同一のキャパシタを複数個並列に接続して用いても、十分にその耐圧は保証される。

【0275】図36(B)は、低レベル内部電源電圧を安定化するための容量素子の接続態様を示す図である。pチャネルMOSトランジスタ8と並列に容量素子18が接続される。この容量素子18の一方電極ノードVAが第2のノード7に電気的に接続され、他方電極ノードVBが接地ノード(第2の電圧源)VSSに電気的に接続される。第2のノード7上の低レベル内部電源電圧V7は、内部電源電圧Vsaよりも高い電圧レベルである。したがって、この第2のノード7上の低レベル内部電源電圧V7は、基準電圧Vrefよりも低い電圧レベルである。したがってこの低レベル内部電源電圧V7と接地電圧VSSの差は、 $VCC/2$ よりも小さい。したがってこの安定化容量18に対し、図33および図34に示す容量素子を複数個並列に接続して用いても、十分にその耐圧は保証される。なお、図36(A)および(B)において電極VAおよびVBの接続位置は入れ換えられてもよい。

【0276】図36(A)および(B)に示すように、メモリセルと同一の構造を利用し、特にメモリセルキャパシタと同一構成を利用して容量値を実現し、このメモリセルキャパシタと同一構造の単位容量素子を複数個並列に接続して安定化容量素子を実現しているため、容易に低占有面積で必要とされる容量素子を有する安定化容量を実現することができる。また、メモリセルと同一製造プロセスでこれらの安定化容量素子を実現することができ、何ら製造プロセスを増加させることはない。

【0277】〔安定化容量素子2〕図37(A)は、この発明の実施の形態23の第2の安定化容量素子の断面構造を概略的に示す図である。この図37(A)に示す安定化容量素子の構成においては、P型半導体基板200表面に形成されるNウェル210表面上全体にわたって、ゲート絶縁膜203cを介してワード線に相当する導電層204fが形成される。このワード線相当導電層204fは、Nウェル210のほぼ全表面上にわたって形成される。このワード線相当導電層204f上に、図示しない層間絶縁膜を介してビット線に相当する導電層205bが形成される。このビット線相当導電層205bは、ワード線相当導電層204fとほぼ全面にわたって対向するように形成される。このビット線相当導電層205b上に、メモリセルキャパシタのストレージノードに相当する第1の導電層206e1、206e2、…206enがそれぞれ間をおいて形成される。これらの第1の導電層206e1～206enは、ビット線相当導電層205bに共通に電気的に接続される。メモリセルキャパシタのストレージノードの容量形成部分(頭部の平坦部分)は、ビット線よりも上部に形成される。このため、メモリセルの製造プロセスにおいて、このメモ

リセルキャパシタのストレージノードは、ビット線の製造後形成される。したがって、この図37(A)に示す容量素子の構成においても、先の図33に示す単位容量素子と対応の不純物領域とを電気的に接続するためのコンタクト孔の形成と同様にして、メモリセルキャパシタ製造プロセスと同一製造プロセスで、すなわちメモリセルキャパシタのストレージノードのためのコンタクト孔の形成プロセスで、これらの第1の導電層206e1～206enとビット線相当導電層205bとを電気的に接続するためのコンタクト孔を形成することができる。これにより、図37(A)に示す構成においても、マスク数および製造プロセス数を何ら増加させることはない。これらの第1の導電層206e1～206enを覆うように、キャパシタ絶縁膜207eを介してメモリセルプレート電極層と同一層の第2の導電層208bが形成される。

【0278】Nウェル210は、その表面に形成された高濃度N型不純物領域202hを介して電極ノードVBに接続される。ワード線相当導電層204fおよび第2の導電層208bが電極ノードVAに接続される。ビット線相当導電層205bは、電極ノードVBに接続される。

【0279】この図37(A)に示す容量素子の構成においては、ワード線相当導電層204fとビット線相当導電層205bの間の層間絶縁膜により、容量Cqが形成される。ストレージノードに相当する第1の導電層206e1～206enと第2の導電層208bは、その間のキャパシタ絶縁膜207eによりn個の単位容量素子の並列接続された容量素子を実現する。したがって、この第1の導電層206e1～206en、キャパシタ絶縁膜207eおよび第2の導電層208bにより、 $n \cdot CS$ の容量値を有する容量素子を実現される。

【0280】第1の導電層206e1～206enが、ビット線相当導電層205bに共通に電気的に接続されていても、この容量素子の容量値は、第1の導電層206e1～206enの第2の導電層208bに対向する頭部の平坦部分の表面積により決定される。したがって第2の導電層208bと第1の導電層206e1～206enとキャパシタ絶縁膜207eにより形成される容量素子の容量値は、先の図35(B)に示す容量素子Iの容量値と同じである。

【0281】ワード線相当導電層204fとNウェル210とゲート絶縁膜203cとにより、容量素子Caが形成される。Nウェル210は、不純物領域202hを介して電極ノードVBに電気的に接続されており、このNウェル210の表面全体が、キャパシタの一方電極として機能する。

【0282】図37(B)は、この図37(A)に示す容量素子の電気的等価回路を示す図である。図37(B)に示すように、電極ノードVAおよびVBの間

に、容量 C_a 、 CS_1 、…、 CS_n および C_q が並列に接続される。したがって、このNウェル210表面にほぼ全面にわたって形成されるワード線相当導電層204fにより容量 C_a の値が図33に示す容量素子の構造よりも大きくなり、またビット線相当導電層205bとワード線相当導電層204fの間に形成される容量 C_q が追加され、容量値をより大きくすることができる。このビット線相当導電層205bとワード線相当導電層204fの間に形成される層間絶縁膜の膜厚は、ゲート絶縁膜203cのそれよりも約20倍程度厚くされている。これは、配線間の寄生容量による容量結合を防止するためである。したがって、容量 C_q の容量値は、容量 C_a の容量値の5%程度の値となる。

【0283】なお、ビット線相当導電層205bは、タングステンまたはモリブデンなどの高融点金属とポリシリコンとの複合構造または高融点金属シリサイド構造のいずれで構成されていてもよい。これは、ワード線相当導電層204fについても同様である。

【0284】[安定化容量素子3]図38(A)は、この発明の実施の形態23の第3の安定化容量素子の断面構造を概略的に示す図である。図38(A)において、P型半導体基板200表面に、Nウェル210aが形成される。このNウェル210aは、図33および図37に示すNウェル210に比べて、その表面不純物濃度が低くされる。このNウェル210aの表面不純物濃度を低くすることにより、チャネルを形成しやすくする。Nウェル210aのほぼ全表面上にわたって、ゲート絶縁膜203dを介してワード線に相当する導電層204gが形成される。このワード線相当導電層204g上に、互いに間をおいて、ストレージノードに相当する第1の導電層206f1~206fnが形成される。これらの第1の導電層206f1~206fn上に、キャパシタ絶縁膜207fを介してセルプレートに相当する第2の導電層208cが形成される。第1の導電層206f1~206fnは共通にワード線相当導電層204gに電気的に接続される。

【0285】Nウェル210aの周辺表面に、高濃度P型不純物領域219と、この不純物領域219に隣接して、高濃度N型不純物領域202iが設けられる。

【0286】ワード線相当導電層204gは電極ノードVBに電気的に接続され、不純物領域202iおよび219ならびに第2の導電層208cは、電極ノードVAに電気的に接続される。

【0287】この図38(A)に示すように、Nウェル210aの表面不純物濃度を比較的低くして、チャネル領域220を形成する。このチャネル領域220は、高濃度P型不純物領域219に電気的に接続され、キャパシタの一方電極を形成する。したがって、このワード線相当導電層204gとゲート絶縁膜203dとチャネル領域220により、pチャネルMOSトランジスタを用

いたMOSキャパシタが形成される。先の図33および図37に示すNウェル210は、高濃度N型不純物領域に電気的に接続されており、チャネル領域が形成されず、その表面が電極として利用されており、表面抵抗は小さくされている。

【0288】しかしながら、この図38(A)に示すように、Nウェル210aの表面不純物濃度を比較的低くしてチャネル領域220を形成することにより、このチャネル領域220に、図示しない空乏層領域が形成される。この空乏層領域は、電荷が存在しない領域であり、チャネル領域220とウェル210aの間に空乏層容量が形成され、したがって、この図38(A)に示すMOSキャパシタは、ゲート絶縁膜203dにより形成される容量値と空乏層容量による容量値とが加算された容量値を有し、応じてこの容量素子の容量値を大きくすることができる。

【0289】すなわち、図38(B)に示すように、電極ノードVAおよびVBの間に、単位容量素子 $CS_1 \sim CS_n$ およびMOSキャパシタ C_m が電気的に並列に接続された、面積効率のより優れた容量素子を実現することができる。高濃度P型不純物領域219は、チャネル領域220に対し電荷を供給し、このチャネル領域220を一方電極として作用させる。一方、高濃度N型不純物領域202iは、Nウェル210aに電極ノードVAの電圧を印加する。したがって、pチャネルMOSトランジスタの構成において、ソース/ドレイン領域となる高濃度P型不純物領域219の電圧とこのMOSトランジスタの基板領域となるNウェル210aの電圧が等しくなり、応じてこのMOSキャパシタを構成するMOSトランジスタのしきい値電圧に対する基板効果をなくし、電極ノードVAに印加される電圧にかかわらず、安定に一定の容量値を実現することができる。

【0290】この図38(A)に示す容量素子を、内部電源電圧を安定化するための安定化容量として用いる。この場合に、MOSキャパシタは、Nウェル210aの表面に、P型チャネル領域を形成する。したがって、電極ノードVBへは、電極ノードVAへ印加される電圧よりも低い電圧が印加される。したがって、その接続形態は、図36(A)および(B)に示す接続と同じとなる。

【0291】以上のように、この発明の実施の形態23に従えば、安定化容量としてメモリセルと同一構造を有するキャパシタを利用しているため、小占有面積で大きな容量値を有する容量を実現することができる。

【0292】なお、この半導体集積回路としては、図28に示すようなプロセッサとDRAMとが集積化された構成に限らず、DRAMとロジックとが同一半導体チップ上に集積化された構成であってもよい。

【0293】また、図39に示すように、半導体集積回路1は、DRAM230と、たとえばシステムクロック

であるクロック信号CLKに同期してデータの入出力を行なう入出力インタフェース回路232を含んでもよい。この入出力インタフェース回路232は、DRAM230の選択メモリセルとデータの授受を行なう。この入出力インタフェース回路232に含まれる出力部が、振幅制限機能を備える。DRAM230は、通常のDRAMと同様の構成を備える。この図39に示すようなクロックに同期してデータの入出力を行なうメモリであっても、半導体集積回路1内に、スタックトキャパシタ型のメモリセルを有するDRAMが設けられていれば、このメモリセルと同一構成のキャパシタを用いて安定化容量を実現することができる。

【0294】この図39に示す入出力インタフェース回路232は、また、クロック同期型半導体記憶装置における入出力バッファの部分であってもよい。

【0295】〔実施の形態24〕

〔安定化容量の接続形態1〕図40は、出力安定化のための安定化容量の第1の接続態様を示す図である。図40において、第1のノード4の電圧安定化のための安定化容量15aが、第1のノード4と第2の電圧源（以下、単に接地ノードと称す）VSSとの間に接続される。第2のノード7の電圧安定化のための安定化容量18は、第2のノード7と接地ノードVSSとの間に接続される。

【0296】出力回路10の動作時、第1のノード4から出力ノード9へ電流が流れる場合第1の電源回路5の、MOSトランジスタ5aまたは5cを介して電流が供給され、またこの安定化容量15aを介して電流iaが供給される。MOSトランジスタ5aまたは5cは、そのオン抵抗は比較的高い。第1のノード4の電圧が急激に変化する場合、安定化容量15aの蓄積電荷が第1のノード4を介して出力回路10へ与えられる。第1のノード4の電圧変化時において、この第1のノード4の電圧が高速に変化する場合、安定化容量15aのインピーダンス（ $1/j \cdot \omega \cdot c$ ）は、MOSトランジスタ5aまたは5cのインピーダンス（オン抵抗）よりも小さい。この場合、安定化容量15aは、その蓄積電荷を第1のノード4へ与えるとともに、接地ノードVSSから電荷を取込み、第1のノード4へ供給する。したがって、この出力回路10が動作し、第1のノード4の電圧レベルが高速に変化する場合には、安定化容量15aを介して接地ノードVSSから第1のノード4へ電流iaが等価的に流れる。

【0297】一方、この出力回路10の動作時、出力ノード9が放電される場合には、第2のノード7の電圧レベルが高速に変化する。この場合、安定化容量18のインピーダンスが第2の電源回路8に含まれるMOSトランジスタ8aまたは8cのオン抵抗よりも小さく、この第2のノード7に出力ノード9から与えられた電流が、安定化容量18を介して接地ノードVSSへ放電され

る。これらの安定化容量15aおよび18を電流iaおよびibがそれぞれ流れるのは、この出力回路10の動作時の過渡的な状態であり、これらの第1のノード4および第2のノード7の電圧レベルは、過渡状態では、この出力ノード9に接続される負荷容量の容量値と安定化容量15aまたは18の容量値により決定される。すなわち、負荷容量と安定化容量15aまたは18との電荷の容量分割による電圧レベルにより決定される。

【0298】この図40に示す安定化容量の接続形態では、安定化容量15aおよび18はともに接地ノードVSSにその一方の電極ノードが電気的に接続される。したがって、半導体集積回路のレイアウトにおいて、近傍に接地線しか存在しない領域においても容易にこれらの安定化容量15aおよび18を配置することができる。

【0299】〔接続形態2〕図41は、この発明の実施の形態24における安定化容量の第2の接続態様を示す図である。この図41に示す構成においては、第2のノード7の電圧を安定化するための安定化容量18aが、第1の電圧源（以下、電源ノードと称す）VCCと第2のノード7の間に接続される。第1のノード4の電圧を安定化するための安定化容量15は、図1に示す配置と同様、電源ノードVCCと第1のノード4の間に接続される。

【0300】出力回路10の動作時において、出力ノード9が高レベルに充電される場合、電流ドライブMOSトランジスタのインピーダンス（オン抵抗）よりも、安定化容量15のインピーダンスが小さく、この安定化容量15を介して電流icが第1のノード4へ供給され、出力回路10を介して出力ノード9へ伝達される。この安定化容量15を介して電流icが流れるのは、第1のノード4の電圧レベルが急激に低下し、安定化容量15の電極に蓄積された電荷が減少すると、その減少した電荷を補償するため電源ノードVCCから電荷が、安定化容量15の第1のノード4に接続される電極へ供給されるためである。つまり、この第1のノード4に接続される電極に蓄積される電荷Qは、 $C15 \cdot V15$ で与えられる。ここで、C15は、安定化容量15の容量値を示し、V15は、その安定化容量15の電極間に印加される電圧を示す。したがって、第1のノード4の電圧が急激に低下した場合、安定化容量15に印加される電圧V15が大きくなり、等価的に電荷量Qが大きくなり、この増加する電荷量Qは、電源ノードVCCから供給される。

【0301】一方、出力回路10が出力ノード9を低レベルに放電する場合、第2の電源回路8のMOSトランジスタ8aまたは8cのインピーダンスは大きく、低インピーダンス状態の安定化容量18aを介して第2のノード7から電源ノードVCCに電流idが流れる。この場合においても、安定化容量18aへ伝達された電荷が電源ノードVCCにより吸収されるので、等価的に電流

i d が流れる。

【0302】この図41に示す接続形態の場合、安定化容量15および18aは、電源ノードVCCに結合される。したがって、この安定化容量15および18aの配置領域近傍において接地線が配設されていない領域においてこれらの安定化容量15および18aを配置することができ、これらの安定化容量15および18aのレイアウトの自由度が向上する。

【0303】〔接続形態3〕図42は、この発明の実施の形態24における安定化容量の第3の接続形態を示す図である。この図42に示す構成においては、第1のノード4の電圧を安定化するための安定化容量15bが、第1のノード4と信号出力のために与えられる電源電圧VCCQを与える第3の電圧源（以下、出力電源と称す）VCCQの間に接続される。第2のノード7の電圧レベルを安定化するための安定化容量18bは、第2のノード7と信号出力のための接地電圧VSSQを与える第4の電圧源（以下、出力接地ノードと称す）VSSQの間に接続される。

【0304】MOSトランジスタ5のソースには、出力電源ノードVCCQと別に設けられた電源電圧VCCと与えられる。MOSトランジスタ8のソースへは、この出力接地ノードVSSQと与えられる接地電圧VSSQと別に設けられた第2の電圧源からの接地電圧VSSと供給される。

【0305】出力のための電源電圧VCCQおよび接地電圧VSSQは、出力回路の動作時信号出力のために大きな電流が消費されるため、この消費電流を安定に供給するために、内部回路のための電源と別に与えられる。出力回路10の動作時において、急激に大きな動作電流が流れるのは、安定化容量15bおよび18bにおいてである。したがって、これらの安定化容量15bの一方電極を出力電源ノードVCCQに接続し、かつ安定化容量18bの一方電極ノードを出力接地ノードVSSQに接続することにより、出力回路10の動作時の大きな消費電流を安定に供給することができる。また、電源電圧VCCおよび接地電圧VSSは、他の内部回路との動作電源電圧として用いられる。したがって、この第1のノード4および第2のノード7の内部電源電圧の電圧レベルを設定する回路は、この出力電源ノードVCCQおよび出力接地ノードVSSQ近傍に配置する必要がなく、第1および第2のノード4および7の電圧を設定するための回路のレイアウトに対する制限が少なくなり、設計の自由度が改善される。

【0306】この図42に示す安定化容量15bおよび18bの動作は、それぞれ、図41に示す安定化容量15および図4に示す安定化容量18のそれと同じである（単に接続されるノードが異なるだけである）。

【0307】〔接続形態4〕図43は、この発明の実施

の形態24における安定化容量の第4の接続形態を示す図である。この図43に示す構成においては、電源ノードVCCと第1のノード4の間に安定化容量15が接続され、第2のノード7と接地ノードVSSの間に安定化容量18が接続される。さらに、第1のノード4と第2のノード7との間に容量素子300が接続される。

【0308】この図43に示すように、第1のノード4と第2のノード7に別の容量素子300を新たに接続することにより、以下の効果が得られる。

【0309】出力回路10が動作し、出力ノード9を放電するとき、この第2のノード7へ出力回路10を介して与えられる放電電流は、第2の電源回路8のMOSトランジスタ8aまたは8cのインピーダンスが高いため、安定化容量18を介して放電され、また同時に、容量素子300および15を介して電源ノードVCCへも放電される。したがって、接地ノードVSSへの放電電流が低減され、この接地電圧VSSのノイズを低減することができる。同様、出力回路10がこの出力ノード9を充電する場合、第1の電源回路5のMOSトランジスタ5aまたは5cのインピーダンスが高いため、安定化容量素子15を介して第1のノード4へ電流が供給されてまた接地ノードVSSから容量素子18および300を介して第1のノードへ電流が供給される。この接地ノードVSSから容量素子18および300を介して第1のノード4へ電流が流れるのは、容量素子300の一方電極が第1のノード4に接続されており、この容量素子300の電極に蓄積された電荷量が少なくなったとき、この容量素子300を介して過渡的に電流が流れる。このとき、MOSトランジスタ8aまたは8cのインピーダンスは高いため、容量素子18を介して容量素子300へ電荷が供給される。

【0310】したがって、この充放電電流を接地ノードVSSおよび電源ノードVCC両者に分散させることができ、出力回路10の動作時における電源ノイズ（電源電圧VCCおよび接地電圧VSS両者に生じるノイズ）を小さくすることができる。加えて、この安定化容量素子300を設けることにより、第1のノード4および第2のノード7に対する安定化容量の容量値を面積増大を伴うことなく増加させることができる。以下にこの安定化容量素子の面積効率向上について説明する。

【0311】図44は、第2のノードに対する安定化容量の等価回路を示す図である。第2のノード7に対しては、安定化容量18と並列に容量素子300および15の直列体が接続される。今、安定化容量15の容量値をCv、安定化容量18の容量値をCg、および容量素子300の容量値をCcとし、第2のノード7に接続する安定化容量全体の容量Ctを求める、この合成容量値Ctは次式で表わされる：

$$C_t = C_g + C_v \cdot C_c / (C_v + C_c) \quad \cdots (11)$$

容量素子15、18および300の容量値の合計は、面積を一定とするという仮定により、一定値Kをとると仮定する：

$$C_v + C_g + C_c = K \quad \cdots (12)$$

容量15および18の容量値 C_v および C_g は、互いに等しいと仮定する。

$$\begin{aligned} C_t &= C_g + C_g \cdot (K - 2 \cdot C_g) / (C_g + K - 2 \cdot C_g) \\ &= C_g + C_g \cdot (K - 2 \cdot C_g) (K - C_g)^{-1} \quad \cdots (15) \end{aligned}$$

容量値 C_g についての合成容量値 C_t の最大値を求めるため、上式(15)を C_g で微分する。

$$\begin{aligned} dC_t / dC_g &= 1 + (K - 2 \cdot C_g) \cdot (K - C_g)^{-1} + C_g \cdot (-2) \cdot \\ &\quad (K - C_g)^{-1} + C_g \cdot (K - 2 \cdot C_g) \cdot (-1) \cdot \\ &\quad (-1) \cdot (K - C_g)^{-2} \\ &= (3 \cdot C_g^2 - 6 \cdot K \cdot C_g + 2 \cdot K^2) / (C_g - K)^2 \quad \cdots (16) \end{aligned}$$

極値は、上式(16)を0と置くことにより求められる。

$$3 \cdot C_g^2 - 6 \cdot K \cdot C_g + 2 \cdot K^2 = 0 \quad \cdots (17)$$

上記(17)を解くと、次式が求められる。

【0315】

$$C_g = (1 \pm 1/\sqrt{3}) \cdot K \quad \cdots (18)$$

容量値 C_g の値域は0とKの間である。したがって、上式(18)から、極大値を与える容量値 C_g の値が合成容量 C_t の最大値を与える。この最大値を与える容量値 C_g は、次式で与えられる。

【0316】

$$C_g = (1 - 1/\sqrt{3}) \cdot K \quad \cdots (18a)$$

上式(18a)を上式(14)へ代入すると次式が得られる。

【0317】

$$C_c = (-1 + 2/\sqrt{3}) \cdot K \quad \cdots (19)$$

容量値 C_c の値域は、 $0 \leq C_c \leq K$ であり、上式(19)はこの条件を満足している。これらの式(18a)および(19)を、式(15)に代入すると、合成容量 C_t の最大値 C_{tmax} が求められる。

【0318】 $C_{tmax} = (4 - 2\sqrt{3}) \cdot K$

全体の容量を1とすると、 $K=1$ である。このときには、合成容量 C_t の最大値 C_{tmax} は次式で表わされる。

【0319】

$$\begin{aligned} C_{tmax} &= 4 - 2\sqrt{3} \\ &= 0.5359 \end{aligned}$$

したがって、容量値 C_g を0.5とし、また容量値 C_v を0.5とし、2つの安定化容量15および18のみを用いた場合に比べて、それぞれ第1のノード4および第2のノード7に接続される安定化容量の容量値は、それぞれ0.0359だけ増加させることができ、応じて全体として、安定化容量の容量値を約7.2%増大することができる。これは逆に言えば、容量素子15、18および300の3つの容量素子を接続することにより、安

$$【0312】 C_v = C_g \quad \cdots (13)$$

上式(12)および(13)より、次式が得られる：

$$C_c = K - 2 \cdot C_g \quad \cdots (14)$$

式(14)を式(11)に代入すると、次式が得られる：

【0314】

定化容量の占有面積を低減することができる。

【0320】図45(A)に、これらの容量素子の容量値と合成容量 C_t の具体的値を示し、図45(B)に合成容量の容量値 C_t と安定化容量18の容量値 C_g の関係を示す。図45(B)において、縦軸には合成容量 C_t の容量値(単位 $K=1$)を示し、横軸に、安定化容量18の容量値 C_g を示す。この図45(A)および

(B)に示すように、合成容量 C_t の容量値は、容量値 C_v および C_g が0.4であり、容量 C_c が0.2のとき0.5よりも大きな0.53という値をとっている。すなわち、容量値 C_v および C_g の容量値を0.1から0.4まで増加させると、合成容量 C_t の容量値もそれにつれて大きくなり、この領域を超えると、合成容量 C_t の容量値が小さくされる。

【0321】図46(A)は、この図45(B)に示す領域DMの近傍における各容量値の具体的値を示し、図46(B)に、この領域DMにおける合成容量 C_t の容量値と安定化容量18の容量値 C_g の関係を示す。この図46(B)においても、縦軸に合成容量 C_t の容量値を示し、横軸に安定化容量18の容量値 C_g を示す。この図46(A)および(B)においても、 $K=1$ としている。

【0322】この図46(A)に示すように、容量値 C_v および C_g の値が0.39から0.4にまで増加すると、応じて合成容量 C_t の容量値も増加する。前述の容量値 C_v および C_g の値が0.43よりも大きくなると、合成容量 C_t の容量値が小さくなる。したがって、先に式で示したように、 $C_g = C_v = 0.4226$ かつ $C_c = 0.1547$ の値に設定したとき、電圧安定化のための容量素子の容量値を最も大きくすることができる。 $C_g / C_{tmax} = 0.4226 / 0.5359 = 0.79$ であり、したがって、出力ノード9の充放電時

において、この第2のノード7の放電電流の79%を容量素子18が放電し、一方、残りの21%の電流を容量素子300および15へ流すことができ、接地ノードVSSのノイズを小さくすることができる。これはまた、第1のノード4の場合も同様であり、第1のノード4へは、71%の電流が安定化容量15を介して電源ノードVCCから供給され、残りの21%の電流が容量素子300および18を介して接地ノードVSSから供給される。電源電圧VCCのノイズを小さくすることができる。

【0323】すなわち、この接続形態4に従えば、第1のノードと第2のノードの間に、追加の容量素子を接続するように構成したため、面積増加を伴うことなく第1のノードおよび第2のノードに接続される安定化容量の容量値を大きくすることができ、逆に言えば、この安定化容量の占有面積を低減することができる。また、第1のノード4の充電電流および第2のノード7の放電電流を電源ノードおよび接地ノードに分散させることができ、これらの電源電圧VCCおよび接地電圧VSSのノイズを低減することができ、内部回路がこの電源ノイズの影響により誤動作をするのを防止することができる。

【0324】[接続形態5] 図47は、この発明の実施の形態24における安定化容量素子の第5の接続形態を示す図である。この図47に示す構成においては、安定化容量15が、出力電源ノードVCCQと第1のノード4の間に接続され、安定化容量18が、第2のノード7と出力接地ノードVSSQの間の接続され、第1のノード4と第2のノード7の間に容量素子300が接続される。他の構成は、図43に示す構成と同じである。

【0325】この図47に示す構成においては、出力回路10の動作時において、大きな電流を消費する安定化容量15および18は、出力専用の電源ノードVCCQおよび接地ノードVSSQにそれぞれ接続する。一方、この第1のノード4および第2のノード7上に内部電源電圧を発生する回路部分は、この安定化容量15、18および300に比べて大きな電流は消費しない。したがって、これらのMOSトランジスタ5のソースを電源ノードVCCに接続し、MOSトランジスタ8の接地ノードを接地ノードVSSに接続する。これらの電源ノード上の電源電圧VCCおよび接地ノード上の接地電圧VSSは内部回路においても利用される。したがって、内部回路の動作に悪影響を及ぼすことなく安定に出力回路10の動作時において、出力電源ノードVCCQおよび出力接地ノードVSSQから充放電電流を供給することができる。これにより、内部電源電圧を発生する回路を半導体チップ上の適当な場所に配置することができ、レイアウトの自由度が改善される（内部電源電圧発生回路を常に出力回路近傍に配置する必要がなくなるため）。また、出力電源ノードVCCQおよび出力接地ノードVSSQは出力専用で設けられており、安定にこの出力ノード

9に対する充放電電流を供給することができる。

【0326】[接続形態6] 図48は、この発明の実施の形態24における安定化容量の第6の接続形態を示す図である。図48において、電源ノードVCCと第1のノード4の間に安定化容量素子15cが接続されかつ第1のノード4と接地ノードVSSの間に安定化容量素子15dが接続される。また、第2のノード7と接地ノードVSSの間に安定化容量素子18cが接続されかつ第2のノード7と電源ノードVCCの間に安定化容量素子18dが接続される。これらの安定化容量素子15cおよび15dの容量値は、 $C_v/2$ と安定化容量15の容量値 C_v の半分に設定され、また安定化容量素子18cおよび18dの容量値も $C_g/2$ とそれぞれ安定化容量18の容量値 C_g の半分の値に設定される。この場合、第1の出力ノード4には、安定化容量素子15cおよび15dが並列に接続されるため、合成容量値は C_v である。同様、第2の出力ノード7においても、容量素子18cおよび18dが並列に接続されるため、この第2の出力ノード7に対する容量の容量値は C_g である。

【0327】出力回路10が動作し、出力ノード9の充電時においては、第1のノード4へ安定化容量素子15cおよび15dを介して電流が供給される。この場合、充電電流は、電源ノードVCCと接地ノードVSS両者から供給される。したがって、電源ノードVCCにおけるノイズの大きさは、容量値 C_v の安定化容量が1個だけ設けられている場合のノイズの大きさの約半分にすることができる。また、接地ノードVSSにおいても同様、その電圧低下量は、容量値 C_v の容量が接続されている場合の半分の大きさに設定することができる。

【0328】同様、出力回路10の動作時、出力ノード9の放電時において、第2のノード7から安定化容量素子18cおよび18dを介して電流が流れる。この安定化容量素子18cおよび18dの放電電流は、接地ノードVSSおよび電源ノードVCCへそれぞれ流れ込む。したがって、この場合においても、放電電流が同じ大きさの容量値を有する安定化容量素子18cおよび18dを介して放電されるため、放電電流がほぼ2分割され、接地電圧ノードVSSおよび電源ノードVCCにおける電圧上昇度、すなわちノイズの大きさは容量値 C_g の容量が接続されている場合のほぼ半分にすることができる。

【0329】以上のように、この接続形態6に従えば、第1のノード4および第2のノード7それぞれに対し、電源ノードおよび接地ノードの間に容量素子を接続しているため、充放電電流を電源ノードVCCおよび接地ノードVSSに分散させることができ、出力回路10の動作時における電源ノイズの大きさをほぼ半分に低減することができ、出力回路10の動作時における内部回路の誤動作を防止することができる。

【0330】[接続形態7] 図49は、この発明の実施

の形態 24 における安定化容量の第 7 の接続形態を示す図である。図 49 に示す接続形態においては、第 1 のノード 4 と出力専用の出力電源ノード VCCQ の間に、安定化容量素子 15 e が接続され、また第 1 のノード 4 と出力専用の出力接地ノード VSSQ の間に安定化容量素子 15 f が接続される。第 2 のノード 7 と出力専用の出力接地ノード VSSQ の間に安定化容量素子 18 g が接続され、第 2 のノード 7 と出力電源ノード VCCQ の間に安定化容量素子 18 f が接続される。容量素子 15 e および 15 f は、容量値 $C_v/2$ をそれぞれ有し、容量素子 18 e および 18 f は、容量値 $C_g/2$ をそれぞれ有する。これらの容量素子の容量値はすべて等しくされる。

【0331】この図 49 に示す接続形態において、出力回路 10 の動作時において、出力ノード 9 の充電時には、出力電源ノード VCCQ および出力接地ノード VSSQ から安定化容量素子 15 e および 15 f を介して第 1 のノード 4 へ充電電流が供給される。内部回路の動作電源電圧を供給する電源ノード VCC からは信号出力時、電流は流れない (MOS トランジスタ 5 a または 5 c のインピーダンスが比較的高い)。この場合においても、充電電流は出力電源ノード VCCQ および出力接地ノード VSSQ に分散されるため、これらのノード VCCQ および VSSQ におけるノイズを半減することができる。

【0332】同様、出力回路 10 の動作時において出力ノード 9 の放電時において、第 2 のノード 7 へ流れ込む放電電流は、安定化容量素子 18 e を介して出力接地ノード VSSQ に流れかつ安定化容量素子 18 f を介して出力電源ノード VCCQ へ流れる。したがって、この放電電流も出力接地ノード VSSQ および出力電源ノード VCCQ に流れ、放電電流が分散されるため、これらのノードにおけるノイズが容量値 C_g を有する安定化容量素子が 1 つ設けられている場合に比べて半減することができる。また、出力電源電圧 VCCQ および VSSQ にノイズが生じても、電源電圧 VCC および VSS は、その影響を受けず、内部回路は安定に動作する。

【0333】〔接続形態 8〕図 50 は、この発明の実施の形態 24 における安定化容量の第 8 の接続形態を示す図である。図 50 において、第 1 のノード 4 と電源ノード VCC の間に容量値 $C_v/2$ を有する安定化容量素子 15 g が接続され、また第 1 のノード 4 と接地ノード VSS の間に容量値 $C_v/2$ を有する安定化容量素子 15 h が接続される。第 2 のノードと接地ノード VSS の間に容量値 $C_g/2$ を安定化容量素子 18 g が接続され、第 2 のノード 7 と電源ノード VCC の間に容量値 $C_g/2$ を有する安定化容量素子 18 h が接続される。さらに、第 1 のノード 4 と第 2 のノード 7 の間に、容量値 C_c を有する安定化容量素子 300 が接続される。

【0334】この接続形態においては、出力回路 10 が

動作し、出力ノード 9 を充電する場合、第 1 のノード 4 へは、安定化容量素子 15 g および 15 h を介して電流が供給され、さらに、安定化容量素子 18 g および 18 h ならびに安定化容量素子 300 を介して充電電流が供給される。電源ノード VCC における充電電流のための変動の大きさおよび接地ノード VSS における充電電流のための接地電圧 VSS の変動の大きさは、容量値 C_v を有する安定化容量および容量値 C_g を有する安定化容量を用いた場合に比べて半分にすることができる。また、この図 50 に示す接続形態では、第 1 のノード 4 と第 2 のノード 7 の間の容量素子 300 により、占有面積を増加させることなく第 1 のノード 4 および第 2 のノード 7 に接続される安定化容量の容量値を大きくすることができる。これにより、MOS トランジスタ 5 a または 5 c および 8 a または 8 c のオン抵抗が比較的大きい場合においても、第 1 のノード 4 および第 2 のノード 7 の電圧を安定化させて、安定に出力ノード 9 に所望の振幅を有する信号を高速に出力することができる。

【0335】〔接続形態 9〕図 51 は、この発明の実施の形態 24 における安定化容量の第 9 の接続形態を示す図である。図 51 に示す構成においては、安定化容量素子は、出力電源ノード VCCQ および出力接地ノード VSSQ に接続される。すなわち、第 1 のノード 4 と出力電源ノード VCCQ の間に安定化容量素子 15 i が接続され、第 1 のノード 4 と出力接地ノード VSSQ の間に安定化容量素子 15 j が接続される。第 2 のノード 7 と出力接地ノード VSSQ の間に安定化容量素子 18 i が接続され、第 2 のノード 7 と出力電源ノード VCCQ の間に安定化容量素子 18 j が接続される。第 1 のノード 4 と第 2 のノード 7 の間に安定化容量素子 300 が接続される。他の構成は図 50 に示す構成と同じであり、対応する部分には参照番号を付す。

【0336】この図 51 に示す構成において、出力電源ノード VCCQ および出力接地ノード VSSQ を安定化容量素子に接続しており、出力回路 10 の動作時における出力ノード 9 の充放電電流は、これらの出力電源ノード VCCQ および出力接地ノード VSSQ に流れるため、出力回路 10 の動作時において第 1 のノード 4 および第 2 のノード 7 の電圧の変動を抑制して、安定に出力ノード 9 に所望の振幅の出力信号を生成することができる。また、第 1 のノード 4 および第 2 のノード 7 に内部電源電圧を発生する回路部分は電源電圧 VCC および接地電圧 VSS を利用しており、信号出力時のノイズの影響を受けることなく安定に動作し、またこれらの電圧 VCC および VSS を内部回路は利用しており、この内部電源電圧を発生する回路部分を適当な位置に配置することが可能となり、レイアウトの自由度が向上する。

【0337】この実施の形態 24 の安定化容量を利用すれば、電源電圧 VCC および VSS の変動を制御することができ、基準電圧 V_{ref} を内部で発生する場合、安

定に一定電圧レベルに基準電圧 V_{ref} を保持することができる。

【0338】〔実施の形態25〕図52は、この発明の実施の形態25に従う半導体集積回路の構成を概略的に示す図である。図52において、この半導体集積回路は、電源電圧 V_{cc} を所定レベルに降下させて第1のノード4へ伝達する電圧降下回路310と、接地電圧 V_{SS} よりも高い電圧レベルの電圧を生成して第2のノード7へ伝達する電圧上昇回路312と、第1のノード4上の電圧レベルを安定化する安定化容量314と、第2のノード7上の電圧を安定化するための安定化容量316を含む。

【0339】出力回路10は、この第1のノード4および第2のノード7上の電圧を動作電源電圧として動作する。

【0340】電圧降下回路310および電圧上昇回路312は、所定の電圧レベルの電源電圧を生成して第1のノード4および第2のノード7へ伝達する。これらの電圧降下回路310および電圧上昇回路312は、高入力インピーダンスを有する入力部に基準電圧を受ける必要はなく、所定レベルの電圧を生成する機能を備えていればよい。

【0341】また、安定化容量314および316は、第1のノード4および第2のノード7の電圧を安定化する構成を備え、図1およびこの実施の形態24における第1の接続形態から第9の接続形態のいずれの接続形態を有していてもよい。

【0342】〔実施の形態26〕図53は、この発明の実施の形態26に従う半導体集積回路の全体の構成を概略的に示す図である。図53において、半導体集積回路1は、所定の処理を行なうロジックまたはプロセッサで構成される処理回路400と、この処理回路400のためのデータを格納するメモリ402を含む。このメモリ402は、たとえばダイナミック・ランダム・アクセス・メモリ (DRAM) である。処理回路400は、インタフェース回路403を介して内部データバス404に結合される。このインタフェース回路403は、小振幅信号の入出力を行なう。内部データバス404は、そのビット幅がたとえば128ビットから1Kビットである。

【0343】メモリ402は、行列状に配列される複数のメモリセルを有するメモリアレイ405aおよび405bと、メモリアレイ405aの各列 (ビット線対) に対応して設けられ、活性化時対応の列上のメモリセルデータの検知、増幅およびラッチを行なう複数のセンスアンプを含むセンスアンプ帯406aと、メモリアレイ405bの各列に対応して設けられ、活性化時対応の列上のメモリセルデータの検知、増幅およびラッチを行なう複数のセンスアンプを含むセンスアンプ帯406bと、図示しないアドレス信号に従ってメモリセルアレイ40

5aおよび405bの一方の列を選択する列デコーダ407と、列デコーダ407により選択された列上のメモリセルとデータの授受を行なうインタフェース回路408aおよび408bを含む。インタフェース回路408aは、メモリアレイ405aの選択メモリセルとデータの授受を行ない、インタフェース回路408bは、メモリアレイ405bの選択メモリセルとデータの授受を行なう、これらのインタフェース回路408aおよび408bは、共通に内部データバス404に結合される。

【0344】インタフェース回路408aおよび408bが、共通に内部データバス404に結合されているのは、通常動作時においてはメモリアレイ405aおよび405bの一方のみが、処理回路400とデータの転送を行なうためである。したがって、このメモリアレイ405aおよび405bは、たとえばバンク構成であってもよい。

【0345】インタフェース回路408aおよび408bは、処理回路400に対して設けられたインタフェース回路403と同様、小振幅信号の授受を行なう。このインタフェース回路408aおよび408bは、図53においては、列デコーダ407により選択された列上のセンスアンプと信号の授受を行なうように示される。

【0346】内部データバス404を、列方向に沿ってメモリアレイ405a上を渡って延在させて配置することにより、特別な配線専用領域を配置する必要がなく、チップ面積が低減される。インタフェース回路408aおよび408bが、メモリアレイ405aおよび405bの間の領域に配設されるのは、内部データバス404の長さをメモリアレイ405aおよび405bに対して実質的にはほぼ同じとし、データ転送 (書込/読出) に要する時間を同じとするためである (信号伝搬遅延時間を同じとする)。このため、内部データバス404は、各バス線の長さが、たとえば数mm程度の長さとなる。したがって、内部データバス404の配線長さは比較的最長のため、低抵抗の第3層アルミニウム配線などの金属配線を用いても、比較的大きな寄生抵抗および寄生容量が存在する。このため、インタフェース回路403、408aおよび408bを用いて小振幅信号の転送を行なうことにより、高速のデータ転送を実現する。また小振幅信号の転送により、信号振幅を小さくして、信号線の充放電電流を低減し、内部データバス駆動時の消費電流の低減およびノイズ発生を抑制する。このインタフェース回路403、408aおよび408bにおける小振幅信号の転送を可能にするために、電源回路410が設けられ、この内部データバス404とデータの授受を行なう回路の出力信号振幅を制限する。

【0347】図54は、図53に示す電源回路410、インタフェース回路403、408aおよび408bの構成を概略的に示す図である。メモリアレイ405aおよび405bに対するインタフェース回路408aおよ

び408bは、同じ構成を備えるため、図54においては、メモリアレイ405に対するインタフェース回路408として両者を代表的に示す。

【0348】内部データバス404は、メモリ402から読出されたデータを伝達するための読出データバス404Rと、メモリ402へ書込むデータを転送する書込データバス404Wを含む。読出データバス404Rおよび書込データバス404Wを別々に設けることにより、データ書込モードおよびデータ読出モードのモード切替時におけるデータ衝突の防止を図る。

【0349】読出データバス404Rは、読出データバス線404r-0~404r-mを含む。これらのデータバス線404r-0~404r-mは、それぞれがメモリセルから読出されたデータを伝達する。書込データバス404Wは、書込データバス線404w-0~404w-mを含む。これらの書込データバス線404w-0~404w-mも、それぞれ、メモリセルへの書込データを転送する。バス線を単線構造とすることにより、バスの占有面積を低減する。

【0350】内部電源回路410は、所定の電圧レベルの基準電圧Vrefを発生する基準電圧発生回路417と、この基準電圧発生回路417からの基準電圧Vrefに基づいて第1の内部電圧Vcaを発生する第1の電圧発生回路2と、基準電圧発生回路417からの基準電圧Vrefに従って第2の内部電圧Vsaを発生する第2の電圧発生回路3と、第1の電圧発生回路2からの第1の内部電圧Vcaに従って第1の電源電圧を生成する第1の電源回路5と、第2の電圧発生回路3からの第2の内部電圧Vsaに従って第2の電源電圧を生成する第2の電源回路8を含む。これらの第1の電圧発生回路2、第2の電圧発生回路3、第1の電源回路5、および第2の電源回路8は、先の図1から図24において示した回路と構成が同じである。基準電圧発生回路417は、この第1および第2の電源回路5および8が発生する電源電圧の1/2の電圧レベルの基準電圧Vrefを生成する(図3参照)。

【0351】処理回路400に対して設けられたインタフェース回路403は、読出データバス線404r-0~404r-mそれぞれに対応して設けられ、対応の読出データバス線404r-0~404r-mと基準電圧発生回路417の基準電圧Vrefを生成するレシーバ回路420p-0~420p-mと、書込データバス線404w-0~404w-mそれぞれに対応して設けられ、第1および第2の電源回路5および8からの電源電圧を動作電源電圧として動作して書込データバス線404w-0~404w-m上に書込データを伝達するドライバ(出力回路)10p-0~10p-mを含む。これらのドライバ(出力回路)の構成も、図1に示す構成と同じである。

【0352】メモリアレイ405に対して設けられたイ

ンタフェース回路408は、読出データバス線404r-0~404r-mそれぞれに対応して設けられ、第1の電源回路5および第2の電源回路8からの電源電圧を動作電源電圧として動作し、メモリアレイ405の選択メモリセルから読出されたデータを対応の読出データバス線404r-0~404r-m上に伝達するドライバ(出力回路)10m-0~10m-mと、書込データバス線404w-0~404w-mそれぞれに対応して設けられ、活性化信号φMの活性化に応答して活性化され、活性化時対応の書込データバス線404w-0~404w-m上の信号と基準電圧発生回路417の発生する基準電圧Vrefとを比較するレシーバ回路420m-0~420m-mを含む。

【0353】レシーバ回路420p-0~420p-1および420m-0~420m-mは、それぞれ、差動増幅型回路で構成され、与えられた信号と基準電圧Vrefとを比較する。基準電圧Vrefは、第1および第2の電源回路が生成する電圧のほぼ1/2である。レシーバ回路420p-0~420p-mおよび420m-0~420m-mの各々の入力信号が、基準電圧Vrefを中心として変化する。したがって、与えられる入力信号が小振幅信号であっても、正確に論理レベルを判定して処理回路400またはメモリアレイ405へのデータを生成することができる。

【0354】また、この基準電圧発生回路417からの基準電圧Vrefをレシーバ回路420p-0~420p-mおよび420m-0~420m-mの入力信号の論理レベルの比較基準として利用し、かつドライバ(出力回路)10m-0~10m-mおよび10p-0~10p-mへ与えられる電源電圧の基礎となる基準電圧と同じとすることにより、この基準電圧発生回路417からの基準電圧Vrefの変動時においても、ドライバおよびレシーバ回路においてこの基準電圧Vrefの変動が相殺され、正確なデータ転送を実現することができる。

【0355】今、レシーバ回路420p-0~420p-mおよび420m-0~420m-mの動作マージンを考慮して、たとえば入力信号振幅を0.5V(基準電圧に対して±0.25Vの電圧差)に設定する。ドライバ(出力回路)10m-0~10m-mまたは10p-0~10p-mの出力信号が全てLレベルからHレベルへと変換し、第1の電源回路5からバス404Rまたは404Wの各バス線への充電が生じた場合に最大の充電電流が流れる。この最大の場合においても、データバスの電源電流は、2.5Vの入力信号振幅の場合に比べて、 $0.5/2.5=1/5$ の程度に低減することができる。たとえば、データバス線が1000本、バス線の寄生容量が1pF、電源電圧が2.5V、動作周波数が100MHzと仮定する。この場合には、バス動作時(たとえばデータ読出時)に流れる電源電流Iは、次式

で与えられる。

【0356】

$$I = f \cdot C \cdot V_{cc}$$

$$= 100 \text{ MHz} \cdot (1 \text{ pF} \times 1000) \times 2.5 \text{ V}$$

$$= 250 \text{ (mA)}$$

したがって、図54に示す構成の場合、信号振幅が0.5Vであり、50mAの電流が流れるだけであり、大幅に消費電流が低減され、電源電圧の変動を抑制することができる。また、消費電流 P_d は、 $I \cdot V$ で与えられるため、同様、 $1/5$ の値に設定することができ（上述の条件では、625mWの $1/5$ ）発熱を抑制することができる。したがって、この電源線に流れる電流が $1/5$ となるため、ノイズの大きさもほぼ $1/5$ の大きさに低減することができ、安定動作を保証することができる。

【0357】実際上は、読出データバス404Rまたは書込データバス404Wにおいて、LレベルからHレベルおよびHレベルからLレベルへ電圧レベルが変化するバス線の数は、平均的にほぼ同じと考えられるため、実効的な消費電力は、さらに低減されて、電源電圧フルスイングの場合の $1/10$ 程度の大きさに低減することができ、また実効的な電源線/接地線のノイズも同様 $1/10$ 程度の大きさとなる。

【0358】一方、レシーバ回路420p-0~420p-mおよび420m-0~420m-mは、ダイナミック型ラッチ回路構成を利用することにより、その消費電流をほぼ0とすることができ、これらのレシーバ回路420p-0~420p-mおよび420m-0~420m-m動作時の消費電流による電力増大およびノイズの問題は生じない。

【0359】図55は、図54に示すレシーバ回路420p-0~420p-mおよび420m-0~420m-mの構成の一例を示す図である。図55においては、レシーバ回路420p-0~420p-mおよび420m-0~420m-mが同じ構成を備えるため、参照符号420でこのレシーバ回路を示す。

【0360】図55において、レシーバ回路420は、電源ノードとノードND1の間に接続され、プリチャージ指示信号 ϕ_{pa} に応答して選択的に導通するpチャネルMOSトランジスタPQ1と、電源ノードとノードND1の間に接続されかつそのゲートがノードND2に接続されるpチャネルMOSトランジスタPQ2と、電源ノードとノードND2の間に接続されかつそのゲートにプリチャージ指示信号 ϕ_{pa} を受けるpチャネルMOSトランジスタPQ3と、電源ノードとノードND2の間に接続されかつそのゲートがノードND1に接続されるpチャネルMOSトランジスタPQ4と、ノードND1とノードND3の間に接続されかつそのゲートに入力データ信号INを受けるnチャネルMOSトランジスタNQ1と、ノードND2とノードND3の間に接続されかつそのゲートに基準電圧Vrefを受けるnチャネルM

OSトランジスタNQ2と、ノードND3と接地ノードとの間に接続されかつそのゲートに活性化信号 ϕ_{pb} を受けるnチャネルMOSトランジスタNQ3を含む。

【0361】次に、この図55に示すレシーバ回路420の動作を図56に示す信号波形図を参照して説明する。

【0362】プリチャージ指示信号 ϕ_{pa} がLレベルのときには、pチャネルMOSトランジスタPQ1およびPQ3がオン状態となり、ノードND1およびND2が電源ノードに結合され、ノードND2からの出力信号OUTが電源電圧VccレベルのHレベルとなる。この状態においては、活性化信号 ϕ_{pb} はLレベルであり、nチャネルMOSトランジスタNQ3はオフ状態にある。

【0363】プリチャージ指示信号 ϕ_{pa} がHレベルになると、pチャネルMOSトランジスタPQ1およびPQ3がオフ状態となり、ノードND1およびND2のラッチ状態が解放される。入力データ信号INの電圧レベルが変化しても、活性化信号 ϕ_{pb} はLレベルの非活性状態であり、nチャネルMOSトランジスタNQ3はオフ状態にあり、出力信号OUTはHレベルを維持する。活性化信号 ϕ_{pb} がHレベルになると、nチャネルMOSトランジスタNQ3がオン状態となり、ノードND1およびND2と接地ノードとの間の電流経路が形成される。入力データ信号INの電圧レベルがこのときに確定状態にあり、基準電圧Vrefよりも高い場合には、ノードND1の電圧レベルが低下し、pチャネルMOSトランジスタPQ4のコンダクタンスがpチャネルMOSトランジスタPQ2のコンダクタンスよりも大きくなり、ノードND1の電圧レベルが低下する。ノードND2は、電源電圧Vccレベルを維持しており、pチャネルMOSトランジスタPQ2はオフ状態を維持する。これにより、高速でノードND1の電圧が接地電圧レベルへ低下し、MOSトランジスタPQ2およびPQ4によりラッチされる。したがって、この場合ノードND2からの出力信号OUTはHレベルを維持する。

【0364】一方、活性化信号 ϕ_{pb} がHレベルの活性状態となったときに、入力データ信号INが基準電圧Vrefよりも低いレベルのときには逆に、pチャネルMOSトランジスタPQ4がオフ状態を維持し、ノードND2からの出力信号OUTがLレベルに低下する。ノードND1は電源電圧Vccレベルに維持される。

【0365】この図55に示すレシーバ回路420の構成においては、活性化信号 ϕ_{pb} が活性化されたときに、ノードND1およびND2の一方の放電が行なわれ、電流が消費される。しかしながら、ノードND1の電圧レベルが接地電圧レベルにまで放電されると、MOSトランジスタPQ2およびPQ4によりノードND1およびND2の電圧レベルは保持され、電流は流れない。したがって、このダイナミックラッチ型のレシーバ回路420においては消費電流は十分に小さくすること

ができる。特に、MOSトランジスタPQ1～PQ3の電流駆動力を、nチャネルMOSトランジスタNQ1～NQ3のそれよりも十分に小さくすることにより、この消費電流は極めて小さくすることができる。これにより、レシーバ回路420動作時の消費電流はほぼ無視することができる。特に、平均直流電流はほぼ0とすることができる。これにより、レシーバ回路420p-0～420p-mおよび420m-0～420m-m動作時における消費電流はほぼ無視することができる。

【0366】〔変更例1〕図57は、この発明の実施の形態26の変更例1の構成を概略的に示す図である。図57に示す半導体集積回路は、図54に示す半導体集積回路と以下の点において異なっている。

【0367】すなわち、この図57に示す半導体集積回路は、読出データバス404Rおよび書込データバス404Wが、それぞれ、相補データ信号を伝達するバス線対を含む。すなわち、読出データバス404Rは、互いに相補なデータ信号を伝達する読出データバス線対404r-0、404r-0z～404r-m、404r-mzを含む。書込データバス404Wは、バス線対404w-0、404w-0z～404w-m、404w-mzを含む。これらの相補信号バス線対に対応して、レシーバ回路420p-0～420p-mおよび420m-0～420m-mの各々は、差動増幅回路で構成され、基準電圧発生回路417からの基準電圧Vrefは、これらのレシーバ回路420p-0～420p-m、420m-0～420m-mへは与えられない。

【0368】メモリアレイに対するインタフェース回路408においては、読出データバス線それぞれに対応して、ドライバ（出力回路）10m-0～10m-2m+1が設けられ、処理回路に対するインタフェース回路403においては、書込データバス線それぞれに対応して、ドライバ（出力回路）10p-0～10p-2m+1が設けられる。これらのドライバ10m-0～10m-2m+1および10p-0～10p-2m+1へは、それぞれ第1および第2の電源回路5および8からの電源電圧が供給される。

【0369】この図57に示す構成の場合、読出データバス404Rおよび書込データバス404Wそれぞれにおいてバス線の数が増加するものの、相補のデータ信号をバス線対を介して伝達することにより、バス線の信号振幅を低減することができる。たとえば、レシーバ回路420p-0～420p-mおよび420m-0～420m-mそれぞれに対する入力電圧差を、先の図54に示すように1本のバス線を介してデータ信号を伝達する場合と同じに設定した場合、バス線の信号振幅は、半分に設定することができる（ $|V_{ref}-V_{in}|=|V_{in}-ZV_{in}|$ ：ここで、 V_{in} は、バスを伝達されるデータ信号電圧を示す）。

【0370】したがって、各バス線の充放電電流が、こ

の場合、 $1/2$ の値となり、バス線の数が増加して2倍となっても、図54に示すバス構成と同じ充放電電流の大きさとなる。

【0371】また、各バス線の振幅を、図57に示す構成の場合に比べて $1/2$ に設定することができるため、バス線の充電電流および放電電流それぞれが、 $1/2$ となり、電源線および接地線のノイズの大きさをさらに半減することができる。

【0372】図58は、図57に示すレシーバ回路420p-0～420p-mおよび420m-0～420m-mの構成を示す図である。この図58に示すレシーバ回路420は、図55に示すレシーバ回路と、基準電圧Vrefに代えて補の入力信号ZINが与えられることを除いて同じ構成を備える。

【0373】したがって、その図59に動作波形を示すように、入力データ信号INが補の入力データ信号ZINよりも高い場合には、Hレベルの出力信号OUTが生成され、逆に、入力データ信号INが補の入力データ信号ZINよりも低い場合には、Lレベルの出力信号OUTが生成される。この場合、入力データ信号INおよびZINは、基準電圧Vrefを中心として変化する。したがって、この相補信号の電圧差 $|IN-ZIN|$ を小さくしても、安定にデータを増幅することができる。

【0374】この図58に示す構成においても、先の図55に示す構成と同様、消費電流は十分小さくされており、平均直流電流は、ほぼ無視することができる値である。

【0375】〔変更例2〕図60は、この発明の実施の形態26の変更例2の構成を概略的に示す図である。この図60に示す半導体集積回路においては、電源回路410の出力ノードに、安定化容量430が設けられる。この安定化容量430は、先の図6、および図33から図51までに示す安定化容量のいずれかの構成を備える。

【0376】この安定化容量430を電源回路410の出力ノードに設けることにより、電源回路410の出力電圧を安定化させることができるとともに、高速の充放電を各インタフェース回路403、408aおよび408bにおいて行なうことができる。

【0377】図61は、図60に示す安定化容量430の構成の一例を示す図である。図61に示す構成においては、安定化容量430は、第1の電源回路5の出力ノードに設けられる安定化容量430aと、第2の電源回路8の出力ノードに設けられる安定化容量430bを含む。これらの安定化容量430aおよび430bの他方電極ノードの接続先は、先の図32以降において示した構成のいずれかに従って設定される。この第1の電源回路5および第2の電源回路8の出力ノードは、数多くの出力回路の電源ノードに接続される。したがって、これらの安定化容量430aおよび430bを設けることに

より、より安定に電源電圧を出力回路（ドライバ）へ供給することができかつ高速で、バス線を駆動することができる。

【0378】図62は、図60に示す安定化容量の他の構成を示す図である。この図62に示す構成においては、安定化容量430aおよび430bに加えて、さらに、第1の電源回路5の出力ノードと第2の電源回路8の出力ノードの間に安定化容量430cが設けられる。この第1および第2の電源回路5および8の出力ノードの間に安定化容量430cを設けることにより、安定化容量430aおよび430bの充放電電流を低減することができる。

【0379】【変更例3】図63は、この発明の実施の形態26に従う半導体集積回路の変更例3の構成を示す図である。図63においては、メモリに対するインタフェース回路405と処理回路に対するインタフェース回路403に対し別々に電源回路が設けられる。すなわち、メモリインタフェース回路405に対して、基準電圧発生回路417からの基準電圧に従ってそれぞれ第1および第2の電圧を発生する第1の電圧発生回路2mおよび第2の電圧発生回路3mと、第1の電圧発生回路2mからの電圧に従って第1の電源電圧を生成する第1の電源回路5mと、第2の電圧発生回路3mからの電圧に従って第2の電源電圧を生成する第2の電源回路8mが設けられる。メモリインタフェース回路405は、この第1および第2の電源回路5mおよび8mからの電源電圧を動作電源電圧として動作するドライバ（出力回路）を含む。

【0380】処理回路用インタフェース回路403に対しても、基準電圧発生回路417からの基準電圧Vrefを受けて、それぞれ第1および第2の電圧を発生する第1および第2の電圧発生回路2pおよび3pと、これらの第1および第2の電圧発生回路2pおよび3pからの電圧を受けて第1および第2の電源電圧をそれぞれ発生する第1および第2の電源回路5pおよび8pが設けられる。処理回路用インタフェース回路403に含まれるドライバ（出力回路）は、この第1の電源回路5pおよび第2の電源回路8pからの電源電圧を両動作電源電圧として動作する。

【0381】この図63に示すようにメモリ用のインタフェース回路405と処理回路用のインタフェース回路403それぞれに対し別々の電源回路を設けることにより、たとえばデータの書込モードから読出モードへの切換時などにおいてメモリインタフェース回路405、処理回路用インタフェース回路403に含まれるドライバが同時に動作することが考えられ、このような場合においても、安定に電源電圧をこれらのインタフェース回路405および403へ供給することができ、正確にデータの転送を行なうことができる。また、この図63に示

す構成においても、各電源回路に対し安定化容量が設けられていてもよい。

【0382】【変更例4】図64は、この発明の実施の形態26の変更例4の構成を概略的に示す図である。この図64に示す集積回路1の構成においては、メモリアレイ435aおよび435bはそれぞれ、センスアンプ帯がその内部に分散配置される。すなわち、メモリアレイ435aおよび435bは、行方向および列方向に複数のブロックに分割され、列方向に隣接するブロックの間にセンスアンプ帯が配置される。メモリアレイ435aとインタフェース回路408aの間にメモリアレイ435aの選択メモリセルとデータの読出および書込を行なう読出／書込回路440aが設けられ、インタフェース回路408bとメモリアレイ435bの間に、メモリアレイ435bの選択メモリセルとデータの授受を実際に行なう読出／書込回路440bが設けられる。

【0383】読出／書込回路440aおよび440bは、選択メモリセルから読出されたデータを読出すメインアンプおよび、選択メモリセルへデータを書込む書込ドライブ回路を含む。これらのメインアンプおよびライトドライバが、インタフェース回路に含まれるドライバ（出力回路）およびレシーバそれぞれに対応して設けられる。

【0384】この図64に示す構成の場合、メモリアレイ435aおよび435bは、それぞれバンク構成とされ、メモリアレイ435aおよび435bの一方が処理回路とデータの授受を行なう。

【0385】この図64に示す構成の場合、メモリアレイ435aおよび435bにおける内部データ転送タイミングは、CMOSレベルで動作する読出／書込回路440aおよび440bそれぞれにおけるデータの読出および書込タイミングに合わせて図示しない制御回路により制御され、インタフェース回路408aおよび408bが、実際の内部データ転送（メモリアレイそれぞれに対するデータ転送）のタイミングと独立に動作することができ、制御が容易となる。また、インタフェース回路408aおよび408bに含まれるレシーバ回路が、直接センスアンプを駆動する必要がなく、その駆動能力を小さくすることができ、回路占有面積を低減することができる他の構成は、図53に示す構成と同じであり、インタフェース回路403、408aおよび408bによるデータバス駆動により低消費電流、低電源ノイズ、低消費電力および高速データ信号転送を実現することができる。

【0386】なお、上記実施例においては、メモリアレイの構成については具体的に述べていないが、このメモリアレイに含まれるメモリセルは、スタティック型メモリセルであってもよく、ダイナミック型メモリセルであってもよく、またフラッシュメモリセルであってもよい。すなわちメモリは、SRAM（スタティック・ラン

ダム・アクセス・メモリ)、DRAM(ダイナミック・ランダム・アクセス・メモリ)およびフラッシュメモリ(一括消去型EEPROM)のいずれであってもよい。また、このメモリは、クロック信号に同期して動作するクロック同期型メモリであってもよい。

【0387】以上のように、この発明の実施の形態26に従えば、処理回路とメモリとが一体的に集積化された半導体集積回路において、メモリと処理回路との間に小振幅信号で信号を出力するドライバ(出力回路)を各バス線に設けたため、安定かつ高速に動作する半導体集積回路を実現することができる。

【0388】[他の適用例]また、本発明は、伝送路において終端抵抗が設けられるシステムにおいて用いられるてもよい。出力段のトランジスタの駆動力を、この終端抵抗の値と独立に大きくすることができ、高速動作するシステムを実現することができる。

【0389】

【発明の効果】以上のように、この発明に従えば、安定に基準電圧に従って所定の電圧レベルの内部電源電圧を生成することができ、安定に高速動作する半導体集積回路を実現することができる。

【0390】すなわち、請求項1に係る発明に従えば、高入力インピーダンスを有する入力部に基準電圧を受けて所定の内部電源電圧を生成するように構成しているため、内部電源電圧発生動作が基準電圧に対し何ら影響を及ぼすことがなく、安定に所定の電圧レベルの内部電源電圧を生成して出力回路を動作させることができる。

【0391】請求項2に係る発明に従えば、さらに内部電源ノードに容量素子を結合するようにしているため、出力回路動作時においてこれらの内部電源ノードの電圧を安定化させることができ、高速かつ安定に動作する半導体集積回路を実現することができる。

【0392】請求項3に係る発明に従えば、内部電源電圧と内部電圧とを比較し、その比較結果に従って電源ノードの電圧レベルを調整するように構成しているため、比較的大きな電流駆動力を持って内部電源電圧を生成することができ、正確かつ安定に内部電源電圧を生成することができる。

【0393】請求項4に係る発明に従えば、内部電源手段を、内部電圧に従ってソースフォロアモードで動作するMOSトランジスタで構成しているため、比較的小占有面積でかつ安定に必要とされる電圧レベルの内部電源電圧を生成することができる。

【0394】請求項5に係る発明に従えば、内部電圧発生手段を、基準電圧をゲートに受けてソースフォロアモード動作するMOSトランジスタと、このソースフォロワトランジスタから伝達された電圧から少なくとも1個のダイオード接続されたMOSトランジスタを介して内部電圧を生成して、さらにソースフォロアモード動作するトランジスタを介して内部電源電圧を生成するように

構成しているため、基準電圧よりも高い所望の電圧レベルの内部電源電圧を容易にかつ正確に生成することができる。

【0395】請求項6に係る発明に従えば、基準電圧をゲートに受けるMOSトランジスタをソースフォロワモードで動作させ、このソースフォロワトランジスタからの電圧をダイオード接続されたMOSトランジスタにより降下させてさらに、ソースフォロワトランジスタを介して内部電源電圧を生成するように構成しているため、容易に基準電圧よりも低い電圧レベルの内部電源電圧を安定に生成することができる。

【0396】請求項7に係る発明に従えば、第1の電圧源の電圧よりも高い電圧を用いて内部電源電圧生成のための内部電圧を生成するように構成しているため、低電源電圧下においても正確に内部電圧を生成することができ、出力回路の動作電源電圧の範囲を広くすることができる。

【0397】請求項8に係る発明に従えば、基準電圧よりも低い内部電源電圧を発生するための第2の電圧発生回路に、第2の電圧源よりも低い電圧を電源として与えているため、低電源電圧下においても、正確に、必要な電圧レベルの内部電圧を生成することができ、回路の動作電源電圧の範囲を広くすることができる。

【0398】請求項9に係る発明に従えば、内部電圧生成のために互いに導電型が異なるダイオード接続されたMOSトランジスタを用いているため、電源回路がソースフロアMOSトランジスタの場合、内部電源電圧を生成するためのソースフォロワMOSトランジスタのしきい値電圧の影響を相殺することができる。

【0399】請求項10に係る発明に従えば、内部電源電圧を規定する内部電圧を発生する回路を、基準電圧をゲートに受けるMOSトランジスタと、このMOSトランジスタと異なる導電型を有するダイオード接続されたMOSトランジスタとで構成しているため、内部電源電圧を生成するソースフォロワMOSトランジスタのしきい値電圧の影響を相殺し、所望の電圧レベルの内部電源電圧を低消費電流で生成することができる。

【0400】請求項11に係る発明に従えば、内部電源電圧供給ノードにプルダウン素子およびプルアップ素子を設けたため、確実に、内部電源電圧を所定の電圧レベルに保持することができる。

【0401】請求項12に係る発明に従えば、出力回路の出力MOSトランジスタをCMOS構成としているため、低消費電流で動作する出力段を形成することができる。

【0402】請求項13に係る発明に従えば、出力トランジスタを同じ導電型で構成しているため、これらの出力段のMOSトランジスタを形成するための分離領域が不要となり、回路占有面積が低減される。

【0403】請求項14に係る発明に従えば、レベル変

換回路を用いて、出力段MOSトランジスタのゲートへレベル変換後の信号を印加するように構成しているため、出力MOSトランジスタをより深いオン状態にして動作させることができ、高速動作する出力回路を実現することができる。

【0404】請求項15に係る発明に従えば、レベル変換回路を用いて、内部信号の第1論理レベル電圧をさらに昇圧して出力段MOSトランジスタのゲートに印加するように構成しているため、この出力段MOSトランジスタがより深いオン状態となって出力ノードを駆動することができ、高速動作する出力回路を実現することができる。

【0405】請求項16に係る発明に従えば、同様、内部信号の第1論理レベル電圧をより高い電圧レベルに変換して出力段のMOSトランジスタのゲートへ印加するように構成しているため、この出力段MOSトランジスタがより深いオン状態となり、高速動作する出力回路を実現することができる。

【0406】請求項17に係る発明に従えば、複数の出力ノードに共通に内部電源電圧発生回路を設けるように構成しているため、回路占有面積を低減することができる。

【0407】請求項18に係る発明に従えば、内部電源ノードを安定化するための容量素子を半導体チップ外部に配置するように構成しているため、任意の大きさの容量値を有する容量素子を用いることができ、内部電源ノードの電圧を確実に安定化させることができる。

【0408】請求項19に係る発明に従えば、第1の電圧発生回路の出力インピーダンスを変換して、内部電源電圧を伝達するMOSトランジスタのゲートに内部電圧を伝達するように構成しているため、電源投入時、高速でこの内部電源電圧生成用のソースフォロウMOSトランジスタのゲート電位を上昇させて、オン状態とすることができ、電源投入後早いタイミングで半導体集積回路を動作可能状態に設定することができる。

【0409】請求項20に係る発明に従えば、第2の電圧発生回路の出力インピーダンスを低い出力インピーダンスに変換して内部電圧を低レベル内部電源電圧を生成するMOSトランジスタのゲートへ伝達するように構成しているため、電源投入後、高速でこの低レベル内部電源電圧を生成するMOSトランジスタのゲート電圧を所定電圧レベルに設定することができ、電源投入後早いタイミングで半導体集積回路を動作可能状態に設定することができる。

【0410】請求項21に係る発明に従えば、第1の電圧発生手段を、内部電源電圧を規定する内部電圧に対応する比較電圧を発生し、この比較電圧と基準電圧とを比較して、その比較結果に従って第1の電源回路へ与えられる電位を調整するように構成しているため、正確にかつ安定に所定の電圧レベルの内部電源電圧を生成するこ

とができる。

【0411】請求項22に係る発明に従えば、比較電圧を、ダイオードモードのMOSトランジスタの直列体により生成するように構成しているため、正確に差動増幅器の感度の良い領域で比較動作を行なわせるための比較電圧を生成することができ、応じて所定の電圧レベルの内部電源電圧を生成することができる。

【0412】請求項23に係る発明に従えば、低レベル内部電源電圧を規定する内部電圧を発生する第2の電圧発生手段を、この低レベル内部電源電圧を規定する電圧に対応する比較電圧を生成し、この比較電圧と基準電圧とを比較し、この比較結果に従って第2の電源回路へ与えられる電圧を調整するように構成しているため、正確にかつ安定に所定の電圧レベルの低レベル内部電源電圧を生成することができる。

【0413】請求項24に係る発明に従えば、この第2の電圧発生回路の比較電圧発生手段を、ダイオード接続されたMOSトランジスタで構成しているため、所定の電圧レベルの低レベル電源電圧を容易に生成することができる。

【0414】請求項25に係る発明に従えば、比較電圧を、抵抗素子と定電流源とで発生するように構成しているため、所望の電圧レベルの比較電圧を生成することができ、応じて内部電源電圧の電圧レベルを所望の電圧レベルに設定することができる。

【0415】請求項26に係る発明に従えば、比較電圧のレベルを調整するための溶断可能なリンク素子を設けているため、製造パラメータなどがばらついても、正確に所定の電圧レベルの内部電源電圧を生成することができる。

【0416】請求項27に係る発明に従えば、基準電圧発生回路をこの半導体集積回路と同一半導体チップ上に形成しているため、基準電圧を入力するためのピン端子が不要となり、ピン端子数が低減され、応じて半導体チップの占有面積が低減される。

【0417】請求項28に係る発明に従えば、この基準電圧は、半導体集積回路外部から与えるように構成しているため、半導体集積回路間での信号の伝送時において、基準電圧がばらついても、出力信号はこの基準電圧を中心とする振幅を有しており、正確に相手先の半導体集積回路において入力信号の論理レベルを判定することができる。また、半導体集積回路動作時において電源電圧が仮に変動しても、その影響は、基準電圧発生回路へ及ぼすことがなく、半導体集積回路の動作と独立に基準電圧の電圧レベルを所定電圧レベルに保持することができる。

【0418】請求項29に係る発明に従えば、基準電圧を、入力信号の論理レベルを判定する電圧を入力回路へも与えるように構成しているため、入力回路および出力回路それぞれ別々に基準電圧を与える必要がなく、外部

からの印加時にはピン端子数を低減することができ、また内部で発生する場合には、半導体チップ面積を低減することができる。

【0419】請求項30に係る発明に従えば、安定化容量素子を、メモリセルキャパシタおよびビット線相当導電層およびワード線相当導電層を用いてメモリセルと同一構造で形成したため、小占有面積で大きな容量値を有する安定化容量素子を実現することができる。

【0420】請求項31に係る発明に従えば、安定化のための容量素子を、基板領域と、この基板領域に対向して配置されるワード線相当導電層と、このワード線相当導電層に対向して配置されるビット線相当導電層と、ビット線相当導電層上に、メモリセルキャパシタと同一構造の複数個並列に形成したキャパシタとで実現しているため、小占有面積で大きな容量値を有する容量素子を実現することができる。

【0421】請求項32に係る発明に従えば、安定化容量素子を、基板領域表面ほぼ全面にわたってワード線相当導電層を配置し、このワード線相当導電層上に、メモリセルキャパシタと同一構造を有する単位容量素子を複数個並列に形成してかつ電氣的に接続し、この基板領域に第1および第2導電型の不純物領域をそれぞれ形成して同一電極ノードに接続するように構成しているため、ワード線相当導電層と半導体基板領域とでMOSキャパシタが形成され、より容量値の大きな安定化容量素子を小占有面積で実現することができる。また、このMOSキャパシタのしきい値電圧は一定とされるため、電極ノードに印加される電圧の影響を受けることなく安定に所定の容量値を有する容量素子を実現することができる。

【0422】請求項33に係る発明に従えば、安定化容量素子を第1の内部電源ノードと第1の電圧源との間に接続するように構成しているため、安定に、出力回路動作時において第1の電圧源から出力回路へ電流を供給することができ、この高レベル内部電源電圧を安定に保持することができる。

【0423】請求項34に係る発明に従えば、高レベル内部電源電圧ノードと第2の電圧源との間に安定化容量素子を接続するように構成しているため、出力回路動作時において、この容量素子に蓄積された電荷が第2の電圧源から電流がこの出力回路へ供給され、高レベル内部電源電圧を安定に保持することができる。

【0424】請求項35に係る発明に従えば、低レベル内部電源電圧を安定化する容量素子を、この低レベル内部電源ノードと第2の電圧源との間に接続するように構成しているため、出力回路動作時において、放電電流を第2の電圧源へ流すことができ、安定に低レベル内部電源電圧レベルを保持することが可能となる。

【0425】請求項36に係る発明に従えば、低レベル内部電源電圧を安定化する容量素子を、この低レベル内部電源ノードと第2の電圧源との間に接続するように構

成しているため、出力回路動作時において、第1の電圧源からこの第2低レベル内部電源ノードに電流が供給され、安定に低レベル内部電源電圧を所定電圧レベルに保持することができる。

【0426】請求項37に係る発明に従えば、高レベル内部電源電圧を安定化する容量素子を、この第1の電圧源と別に設けられた電圧源と高レベル内部電源ノードとの間に接続するように構成しているため、別の電圧源からの電流が出力回路動作時供給されるため、内部電源電圧を安定に所定の電圧レベルに保持することができる。また、電源電圧が内部回路において用いられており、この内部電源電圧を発生する回路を適当な位置に配置することが可能となり、レイアウトが容易となる。また、内部回路は電源ノイズの影響を受けることなく安定することができる。

【0427】請求項38に係る発明に従えば、低レベル内部電源電圧を安定化する容量素子を、別に設けられた電圧源と低レベル内部電源電圧供給ノードとの間に接続するように構成しているため、出力回路動作時においては、この別の電圧源からの電流が供給されて、内部回路動作の電源電圧に対する影響は生じず、安定に出力回路を動作させることができる。また、低レベル内部電源電圧を発生する回路を適当な位置に配置することが可能となり、レイアウトが容易となる。

【0428】請求項39に係る発明に従えば、出力回路の出力信号の振幅を制限する第1および第2の電圧発生手段と、内部電源ノードに接続される容量素子とこれらの内部電源ノード間に接続される容量素子とが接続しているため、小占有面積で大きな容量値を有する安定化容量を実現することができる。

【0429】請求項40に係る発明に従えば、第1および第2の容量素子の容量値を互いに等しくしているため、内部電源ノードに接続する容量の合成容量値が等しくされ、出力回路の充放電速度を確実に同じとすることができる。

【0430】請求項41に係る発明に従えば、内部電源ノードに、その容量値が半減された容量素子を並列に接続するように構成しているため、面積を増大させることなく、出力回路動作時における充放電電流を電源ノードおよび接地ノード両者に分散させることができ、出力回路動作時の電源ノイズを低減することができる。

【0431】請求項42に係る発明に従えば、この内部電源ノードに接続される安定化容量素子の第1の容量素子を、高レベル内部電源ノードと第1の電圧源の間に接続し、他方の容量素子を、この内部電源ノードと第2の電圧源の間に接続するように構成しているため、確実に、出力回路充電動作時における充電電流を第1および第2の電圧源に分散させることができ、これらの電圧源における電圧変動を抑制することができる。

【0432】請求項43に係る発明に従えば、これらの

容量素子は、内部回路動作用の電圧源と別の専用の電圧源に接続するように構成しているため、内部回路の動作に悪影響を及ぼすことなく確実に出力回路の内部電源ノードを所定電圧レベルに保持することができる。

【0433】請求項44に係る発明に従えば、低レベル内部電源電圧を安定化するための容量素子をこの低レベル内部電源ノードと第2の電圧源の間に接続し、かつ別の安定化容量を、この低レベル内部電源ノードと第1の電圧源との間に接続するように構成しているため、出力回路動作時においても、この放電電流は、第1および第2の電圧源に分散され、出力回路動作時における電源ノイズを低減することができる。

【0434】請求項45に係る発明に従えば、この低レベル内部電源電圧を安定化するための容量素子を、それぞれ別に設けられた電圧源にそれぞれ接続するように構成しているため、安定に出力回路動作時においても、低レベル内部電源電圧を所定電圧レベルに保持することができる。

【0435】請求項46に係る発明に従えば、出力回路の電源ノードの安定化容量を、それぞれ異なる極性の電圧を供給する電圧源に接続するように構成しているため、出力回路動作時において、この安定化容量を流れる電流をそれぞれ異なる電圧源に分散させることができ、電源ノイズを低減することができる。

【0436】請求項47に係る発明に従えば、この高レベル内部電源電圧安定化用の容量素子を、回路の電圧源にそれぞれ出力するように構成しているため、出力回路動作時における、電源ノイズが低減され、安定に内部回路をその影響を受けることなく動作させることができる。

【0437】請求項48に係る発明に従えば、容量素子は、内部回路の電圧源とは別の電圧源に接続するように構成しているため、出力回路動作時において安定化容量素子を介して安定に出力ノードの充放電電流を駆動することができ、また内部回路は出力回路の動作の影響を受けることなく安定に一定電圧レベルに保持された電源電圧および接地電圧に従って動作することができる。

【0438】請求項49に係る発明に従えば、メモリと処理回路との間に設けられる複数の内部データバス線それぞれに対応して、第1および第2の絶縁ゲート型電界効果トランジスタの対からなる出力手段を設けているため、高速かつ安定にデータ転送を行なうことができる。また、バス線の振幅が低減されるため、消費電流が低減され、また電源ノイズの発生および発熱およびEMIの発生も防止することができる。

【0439】請求項50に係る発明に従えば、メモリアレイと処理回路との間の複数の内部データバス線それぞれに安定化容量が設けられた出力手段を配置しているため、高速かつ安定にデータ転送を行なうことができる。

【0440】請求項51に係る発明に従えば、データバ

ス線それぞれに、基準電圧と対応のバス線の電圧とを差動増幅するレシーバ手段を設けているため、小振幅信号を正確にその論理レベルを判定してデータの送受を行なうことができる。またこの基準電圧を、出力手段の電源電圧を生成するために用いられる基準電圧と同じ基準電圧としているため、基準電圧変動時においても、その変動の影響を相殺して、正確な信号の転送を行なうことができる。

【0441】請求項52に係る発明に従えば、データバス線それぞれに設けられるレシーバ手段が、基準電圧と対応のデータバス線の信号とを差動増幅し、この基準電圧を、出力手段の動作電源電圧を発生するために用いられる基準電圧と同じ電圧としているため、基準電圧変動時においても、安定にデータ転送を行なうことができる。

【0442】請求項53に係る発明に従えば、基準電圧を、この半導体集積回路が設けられたチップ上に形成しているため、安定に基準電圧を、各回路部分へ伝達することができる。

【0443】請求項54に係る発明に従えば、複数のデータバス線が相補信号を伝達するように対をなして配設し、これらのバス線対の信号を差動増幅するレシーバ手段を各バス線対に設けているため、バス線の信号振幅を小さくすることができ、より高速かつ低消費電流で信号を転送することができる。

【0444】請求項55に係る発明に従えば、内部データバスが読出データを転送しているため、読出データを、高速かつ低消費電流で転送することができる。

【0445】請求項56に係る発明に従えば、複数の内部データバス線がメモリアレイへの書込データを転送しているため、書込データを高速かつ低消費電流で転送することができる。

【0446】請求項57に係る発明に従えば、この内部データバス線の一方端に出力手段を配置し、他方端にレシーバ手段を配置しているため、正確にかつ高速でデータ信号の転送を行なうことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体集積回路の要部の構成を具体的に示す図である。

【図2】 半導体集積回路相互の接続を示す図である。

【図3】 図1および図2に示す半導体集積回路の動作を示す信号波形図である。

【図4】 この発明が適用されるシステムの構成を概略的に示す図である。

【図5】 この発明の実施の形態2に従う半導体集積回路の要部の構成を示す図である。

【図6】 この発明の実施の形態3に従う半導体集積回路の要部の構成を示す図である。

【図7】 この発明の実施の形態4に従う半導体集積回路の要部の構成を示す図である。

【図 8】 この発明の実施の形態 5 に従う半導体集積回路の要部の構成を示す図である。

【図 9】 この発明の実施の形態 6 に従う半導体集積回路の要部の構成を示す図である。

【図 10】 この発明の実施の形態 7 に従う半導体集積回路の要部の構成を概略的に示す図である。

【図 11】 この発明の実施の形態 8 に従う半導体集積回路の要部の構成を概略的に示す図である。

【図 12】 この発明の実施の形態 8 の変更例の構成を概略的に示す図である。

【図 13】 この発明の実施の形態 9 に従う半導体集積回路の要部の構成を概略的に示す図である。

【図 14】 この発明の実施の形態 10 に従う半導体集積回路の要部の構成を概略的に示す図である。

【図 15】 この発明の実施の形態 11 の半導体集積回路の要部の構成を示す図である。

【図 16】 この発明の実施の形態 12 に従う半導体集積回路の要部の構成を示す図である。

【図 17】 この発明の実施の形態 13 に従う半導体集積回路の要部の構成を示す図である。

【図 18】 この発明の実施の形態 14 に従う半導体集積回路の要部の構成を示す図である。

【図 19】 この発明の実施の形態 15 に従う半導体集積回路の要部の構成を示す図である。

【図 20】 この発明の実施の形態 16 に従う半導体集積回路の要部の構成を示す図である。

【図 21】 この発明の実施の形態 17 に従う半導体集積回路の要部の構成を示す図である。

【図 22】 この発明の実施の形態 18 に従う半導体集積回路の要部の構成を示す図である。

【図 23】 この発明の実施の形態 19 に従う半導体集積回路の要部の構成を示す図である。

【図 24】 この発明の実施の形態 20 に従う半導体集積回路の要部の構成を示す図である。

【図 25】 この発明の実施の形態 21 に従う半導体集積回路の全体の構成を概略的に示す図である。

【図 26】 図 25 に示す基準電圧発生回路の構成の一例を示す図である。

【図 27】 この発明の実施の形態 22 に従う半導体集積回路の全体の構成を概略的に示す図である。

【図 28】 この発明の実施の形態 23 に従う半導体集積回路の全体の構成を概略的に示す図である。

【図 29】 図 28 に示す DRAM 回路の構成を概略的に示す図である。

【図 30】 図 29 に示す DRAM 回路の構成を概略的に示す図である。

【図 31】 DRAM における MOS キャパシタとメモリセルキャパシタの容量値を記憶容量の関数として表わす図である。

【図 32】 この発明の実施の形態 23 における DRA

M メモリセルの断面構造を概略的に示す図である。

【図 33】 この発明の実施の形態 23 における第 1 の安定化容量の断面構造を概略的に示す図である。

【図 34】 図 33 に示す安定化容量の平面レイアウトを概略的に示す図である。

【図 35】 (A) は、図 33 および図 34 に示す安定化容量の単位容量素子の電気的等価回路を示し、(B) は、安定化容量の電気的等価回路を示す図である。

【図 36】 (A) および (B) は、図 33 に示す安定化容量の出力回路への接続態様を示す図である。

【図 37】 (A) は、この発明の実施の形態 23 における第 2 の安定化容量の断面構造を概略的に示し、

(B) は、その電気的等価回路を示す図である。

【図 38】 (A) は、この発明の実施の形態 23 における第 3 の安定化容量の断面構造を概略的に示し、

(B) は、その電気的等価回路を示す図である。

【図 39】 この発明の実施の形態 23 の半導体集積回路の他の構成を概略的に示す図である。

【図 40】 この発明の実施の形態 24 における安定化容量素子の第 1 の接続態様を示す図である。

【図 41】 この発明の実施の形態 24 における安定化容量素子の第 2 の接続態様を示す図である。

【図 42】 この発明の実施の形態 24 における安定化容量素子の第 3 の接続態様を示す図である。

【図 43】 この発明の実施の形態 24 における安定化容量素子の第 4 の接続態様を示す図である。

【図 44】 図 43 に示す安定化容量素子の内部電源ノードから見た容量の電気的等価回路を示す図である。

【図 45】 (A) および (B) は、図 43 に示す安定化容量素子の各容量素子の容量値と合成容量の関係を示す図である。

【図 46】 図 45 に示す合成容量値の最大値近傍領域をより詳細に示す図である。

【図 47】 この発明の実施の形態 24 における安定化容量素子の第 5 の接続態様を示す図である。

【図 48】 この発明の実施の形態 24 における安定化容量素子の第 6 の接続態様を示す図である。

【図 49】 この発明の実施の形態 24 における安定化容量素子の第 7 の接続態様を示す図である。

【図 50】 この発明の実施の形態 24 における安定化容量素子の第 8 の接続態様を示す図である。

【図 51】 この発明の実施の形態 24 における安定化容量素子の第 9 の接続態様を示す図である。

【図 52】 この発明の実施の形態 25 に従う半導体集積回路の出力部の構成を概略的に示す図である。

【図 53】 この発明の実施の形態 26 に従う半導体集積回路の全体の構成を概略的に示す図である。

【図 54】 図 53 に示す半導体集積回路の要部の構成をより具体的に示す図である。

【図 55】 図 54 に示すレシーバ回路の構成を示す図

である。

【図56】 図55に示すレシーバ回路の動作を示す信号波形図である。

【図57】 この発明の実施の形態26の変更例1の構成を示す図である。

【図58】 図57に示すレシーバ回路の構成を示す図である。

【図59】 図58に示すレシーバ回路の動作を示す信号波形図である。

【図60】 この発明の実施の形態26の変更例2の構成を概略的に示す図である。

【図61】 図60に示す安定化容量の構成を概略的に示す図である。

【図62】 図60に示す安定化容量の他の構成を概略的に示す図である。

【図63】 この発明の実施の形態26の変更例3の構成を概略的に示す図である。

【図64】 この発明の実施の形態26の変更例4の構成を概略的に示す図である。

【図65】 従来の半導体集積回路の出力部の構成を概略的に示す図である。

【図66】 図65に示す半導体集積回路の動作を示す信号波形図である。

【図67】 従来の半導体集積回路の信号入力部の構成を概略的に示す図である。

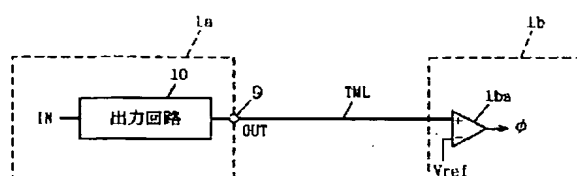
【図68】 図65に示す電源回路の構成を示す図である。

【符号の説明】

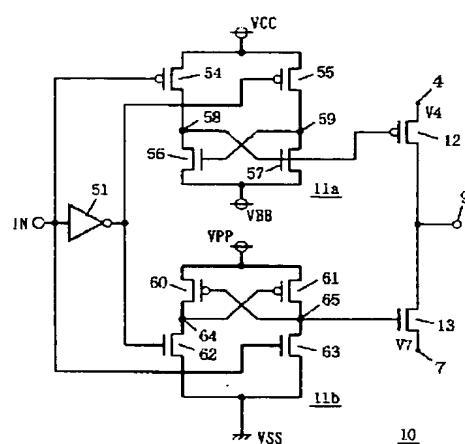
1 半導体集積回路、2 第1の電圧発生回路、3 第2の電圧発生回路、4 第1のノード、5 第1の電源回路、5a、5c MOSトランジスタ、5b 比較回路、7 第2のノード、8 第2の電源回路、8a、8c MOSトランジスタ、8b 比較回路、9 出力ノード、12 pチャネルMOSトランジスタ、13 nチャネルMOSトランジスタ、24 抵抗素子、21 pチャネルMOSトランジスタ、22 pチャネルMOSトランジスタ、23 nチャネルMOSトランジスタ、24 抵抗素子、31 nチャネルMOSトランジスタ、32 nチャネルMOSトランジスタ、33 pチャネルMOSトランジスタ、34 抵抗素子、#0～#n 半導体チップ、25 pチャネルMOSトランジスタ、35 nチャネルMOSトランジスタ、22a nチャネルMOSトランジスタ、32a pチャネルMOSトランジスタ、24a、34a 抵抗素子、41、42 抵抗素子、11a、11b、11c レベル変換回路、10-1～10-n 出力回路、15a、15b、18a、18b 容量素子接続端子、50、52 インピーダンス変換回路、60 比較電圧発生回路、62 差動増幅器、64 pチャネルMOSトランジスタ、6

0a、60b、60c MOSトランジスタ、60d 定電流源、70 比較電圧発生回路、72 差動増幅器、74 nチャネルMOSトランジスタ、70b、70c、70d MOSトランジスタ、70a 定電流源、60f、70g 抵抗素子、60g、70f 定電流源、60i、70i MOSトランジスタ、60fa～60fc、70ga～70gc 抵抗素子、60lb、60lc、70lb、70lc リンク素子、80 基準電圧発生回路、82 内部電源回路、84 内部回路、90 DRAM回路、92 プロセッサ、90 入出力インタフェース回路、90a DRAM、MC メモリセル、BL、/BL ビット線、WL ワード線、200P型半導体基板、210 Nウェル、202d、202e、202f、202g 不純物領域、204c～204f ワード線相当導電層、205a ビット線相当導電層、206c、206d 第1の導電層、208a 第2の導電層、202h 不純物領域、203c ゲート絶縁膜、204f ワード線相当導電層、205b ビット線相当導電層、206e1～206en 第1の導電層、208b 第2の導電層、200a Nウェル、202i 不純物領域、219 不純物領域、203d ゲート絶縁膜、206f1～206fn 第1の導電層、204g ワード線相当導電層、208c 第2の導電層、15a 容量素子、15c、15d、18c、18d 容量素子、15e、15f、18e、18f 容量素子、15g、15h、18g、18h 容量素子、15i、15j、18i、18j 容量素子、314、316 安定化容量、400 処理回路、402 メモリ、403 インタフェース回路、404 内部データバス、405a、405b メモリアレイ、406a、406b センスアンプ帯、407列デコーダ、408a、408b インタフェース回路、410 電源回路、10m-0～10m-m、10p-0～10p-m ドライバ（出力回路）、417 基準電圧発生回路、420p-0～420p-m、420m-0～420m-m レシーバ回路、404R リードデータバス、404W ライトデータバス、404r-0～404r-m リードデータバス線、404w-0～404w-m ライトデータバス線、404r-0、404r-0z～404r-m、404r-mz リードデータバス線、404w-0、404w-0z～404w-m、404w-mz ライトデータバス線、430、430a、430b、430c 安定化容量、2m、2p 第1の電圧発生回路、5m、5p 第1の電源回路、3m、3p 第2の電圧発生回路、8m、8p 第2の電源回路、405 メモリ用インタフェース回路、403 処理回路用インタフェース回路、435a、435b メモリアレイ、440a、440b 読出/書込回路。

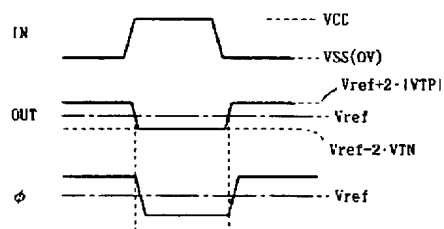
【图 2】



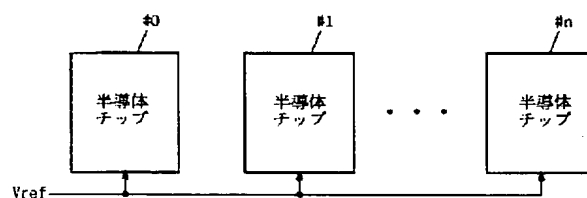
【图9】



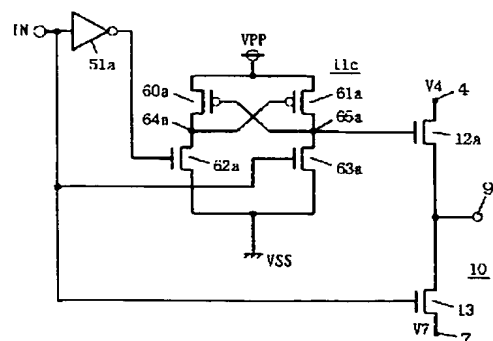
【图 3】



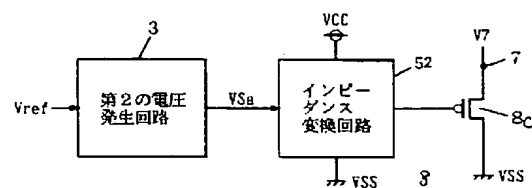
【图 4】



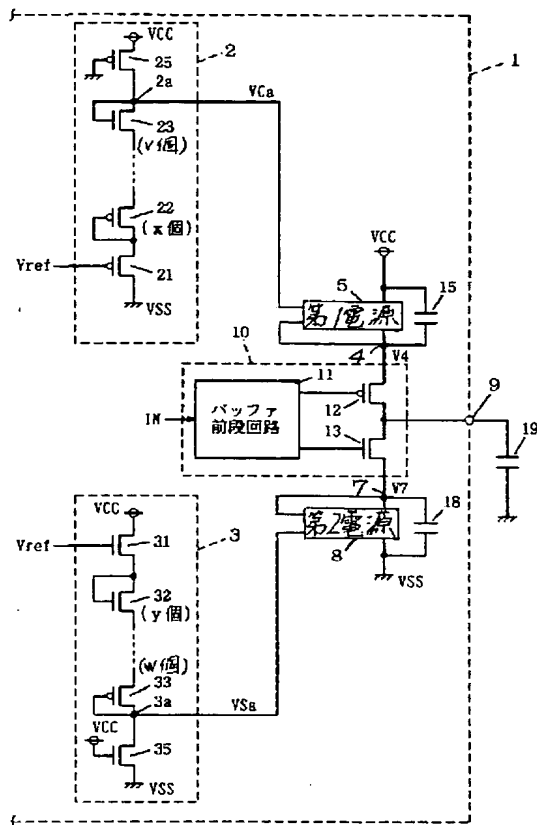
【図 10】



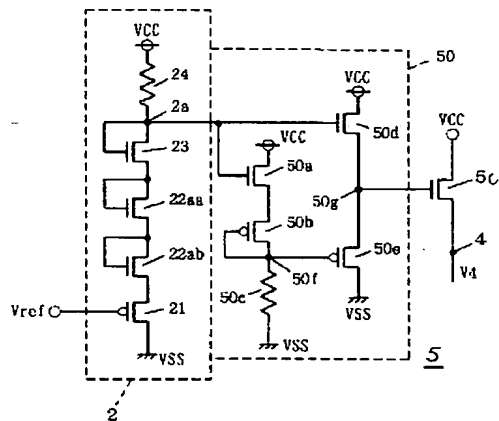
【图 12】



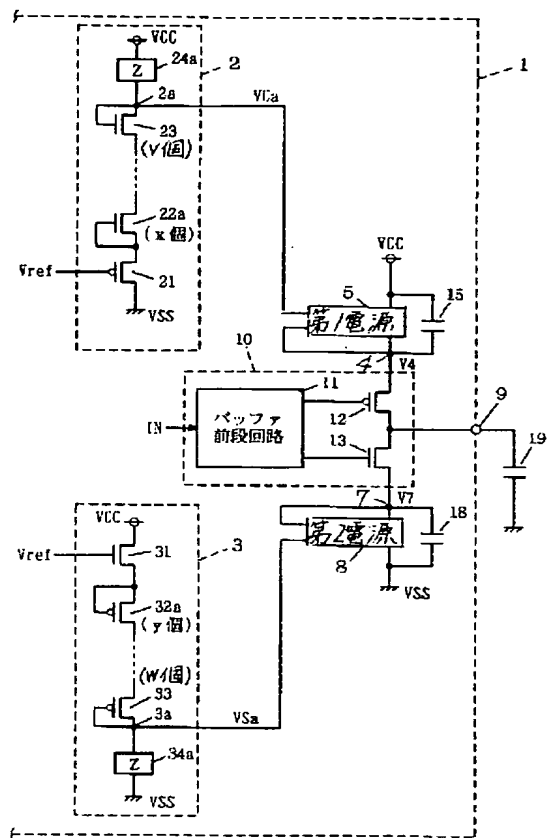
【図5】



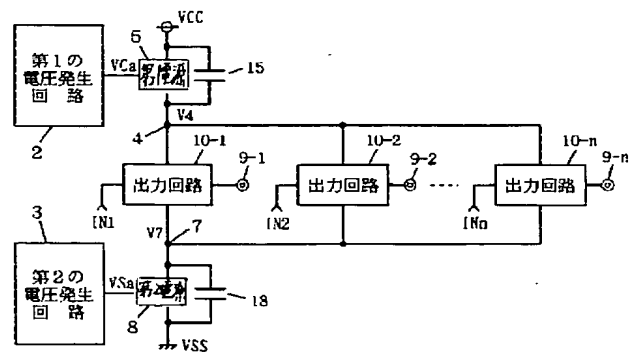
【図11】



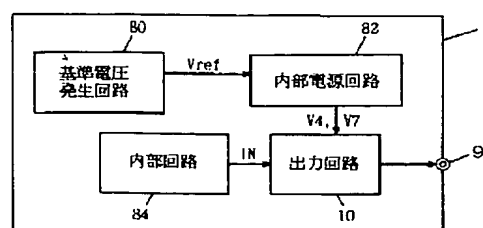
【図6】



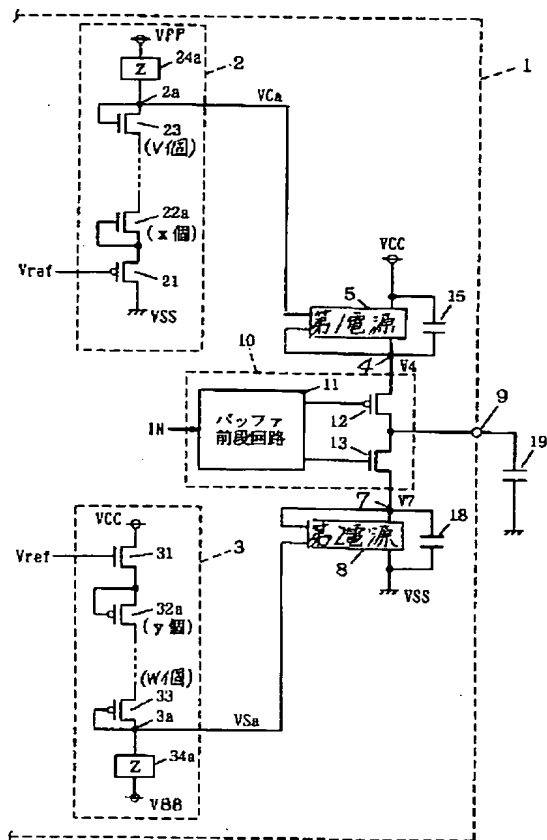
【図13】



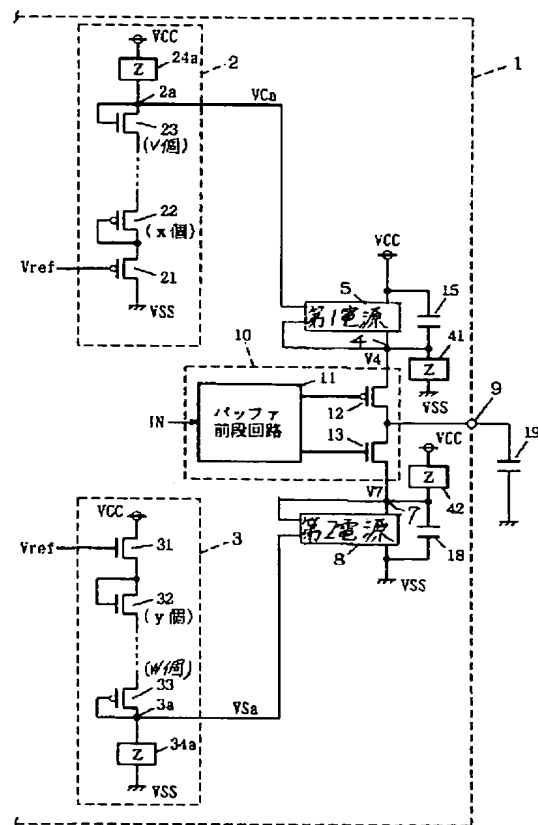
【図25】



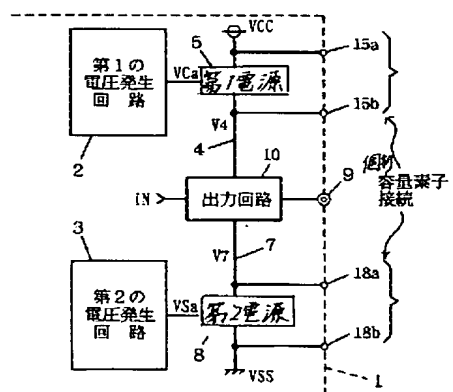
【図7】



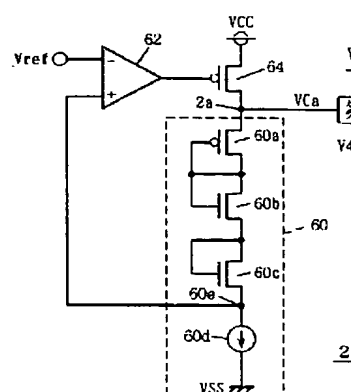
【図8】



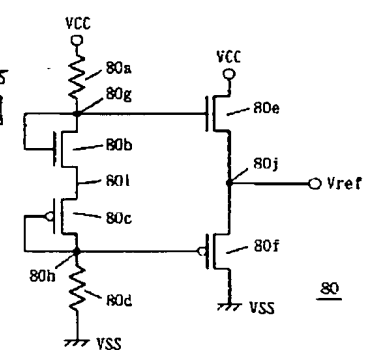
【図14】



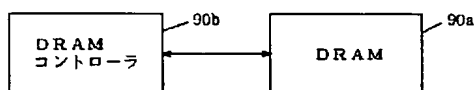
【図15】



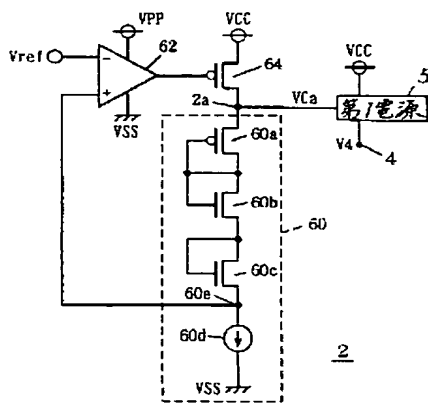
【図26】



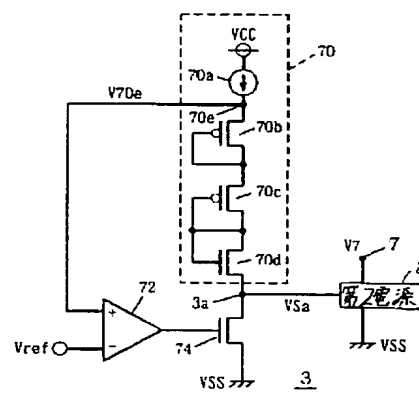
【図29】



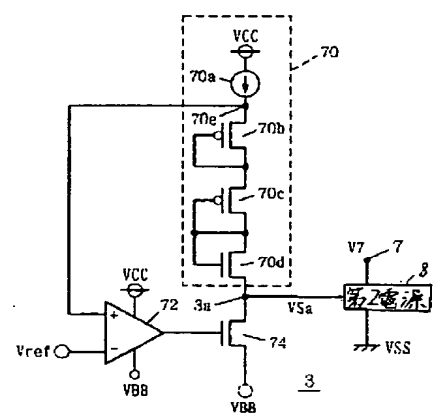
【図16】



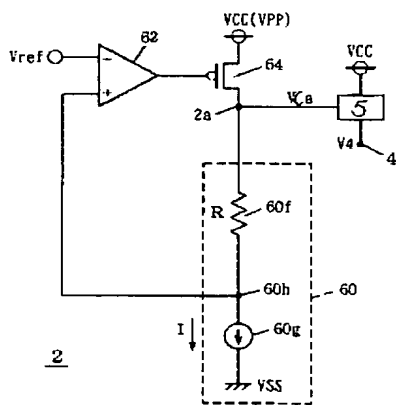
【図17】



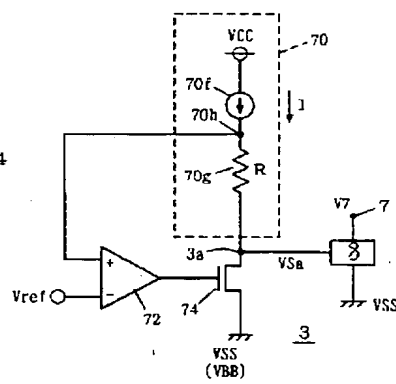
【図18】



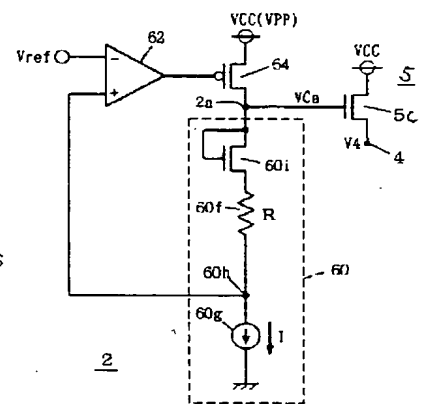
【図19】



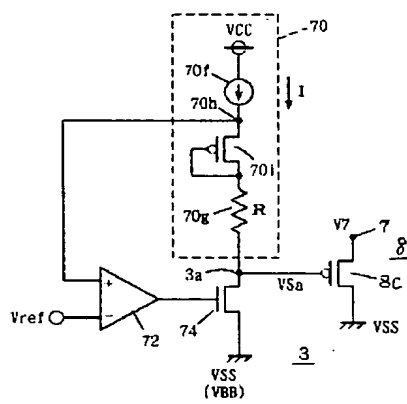
【図20】



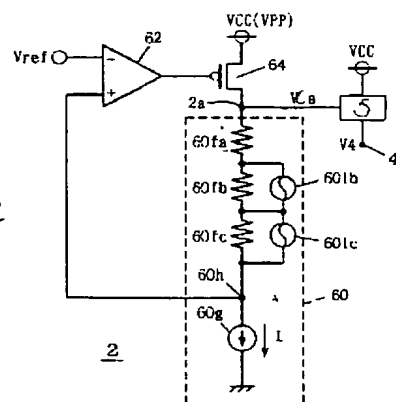
【図21】



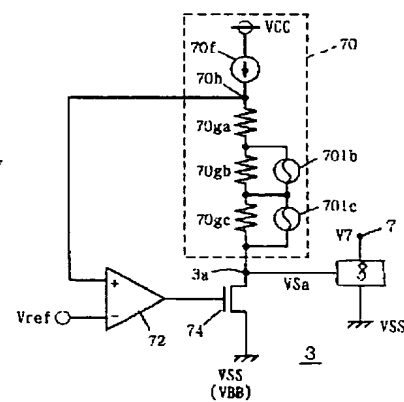
【図22】



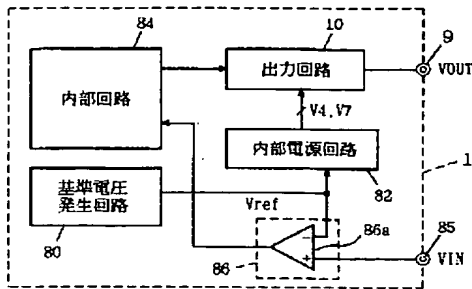
【図23】



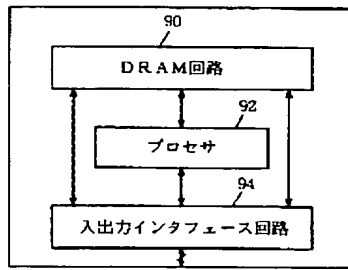
【図24】



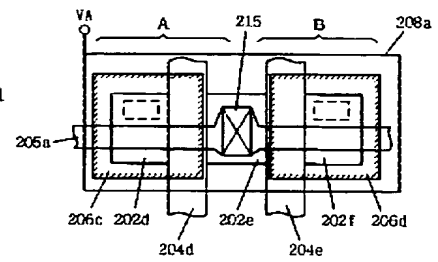
【図 27】



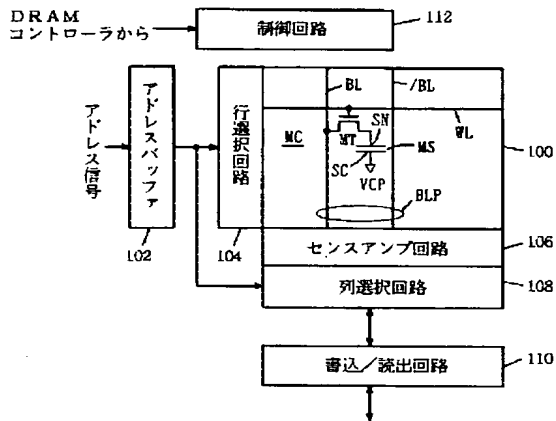
【図 28】



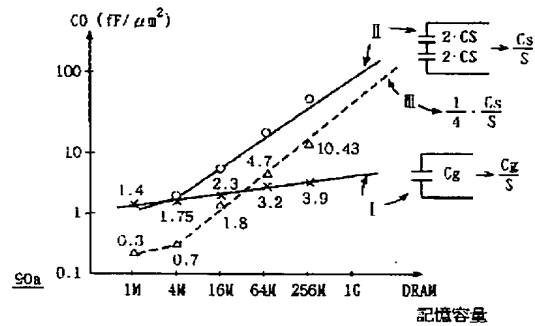
【図 34】



【図 30】

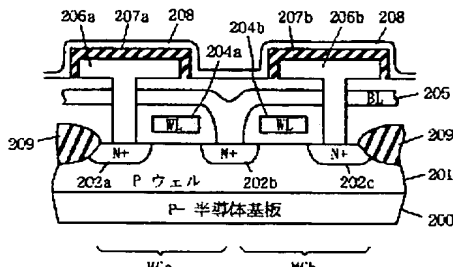


【図 31】

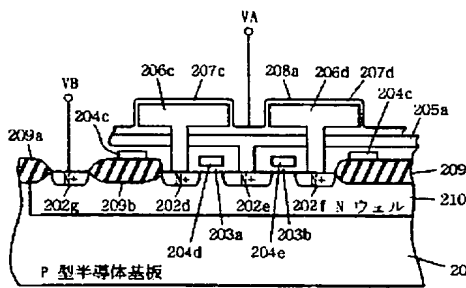


【図 39】

【図 32】

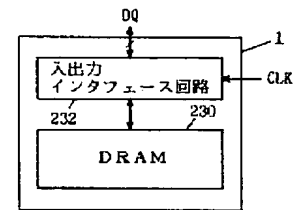


【図 33】

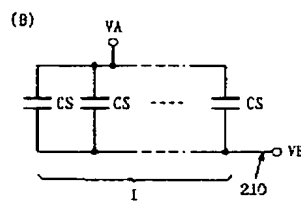
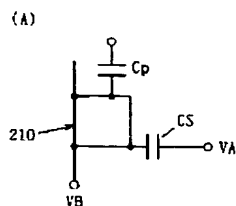


204a-204d:ワード線相当導電層; 206c, 206d:第1導電層
205a:ビット線相当導電層; 208a:第2導電層

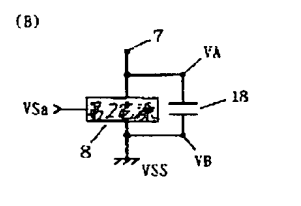
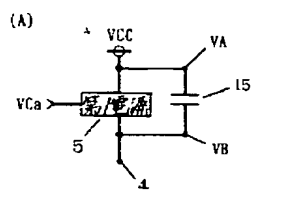
【図 44】



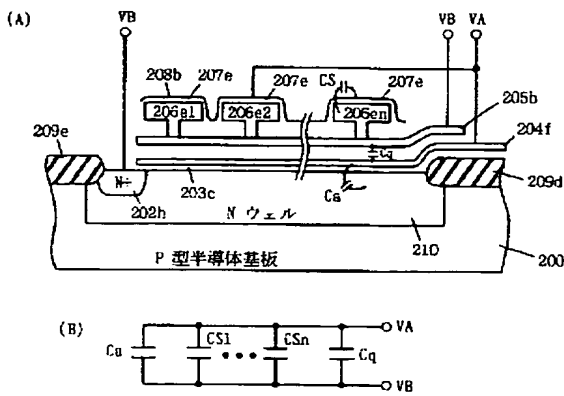
【図 35】



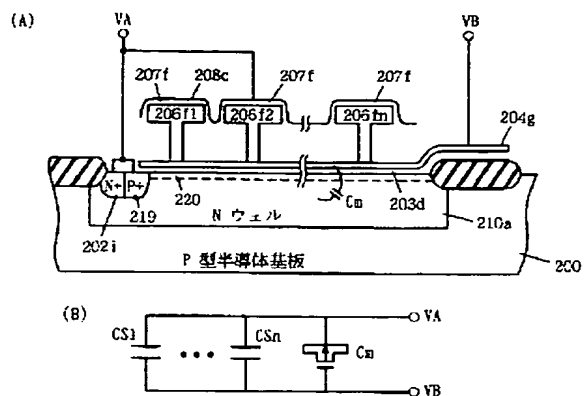
【図 36】



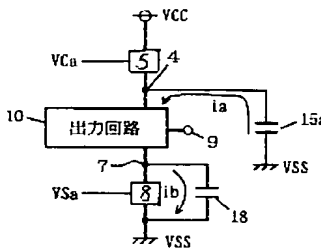
【図 37】



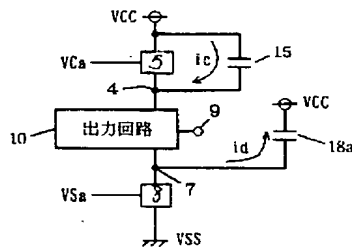
【図 38】



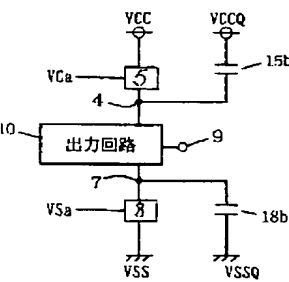
【図 40】



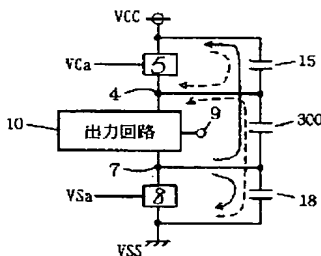
【図 41】



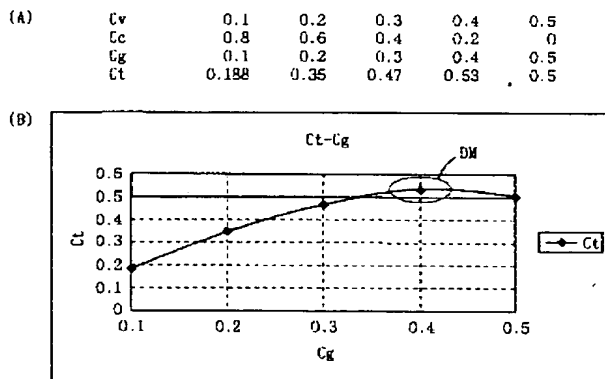
【図 42】



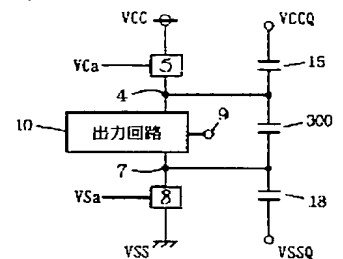
【図 43】



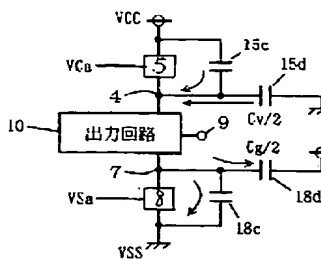
【図 45】



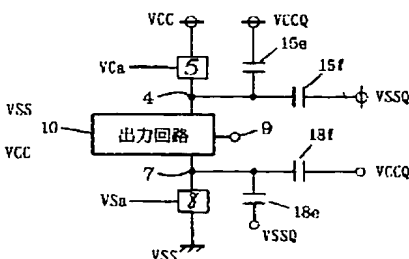
【図 47】



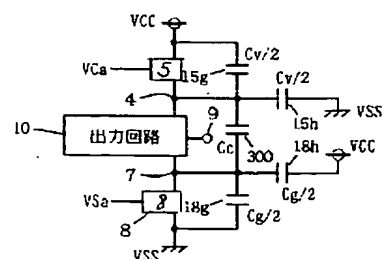
【図 48】



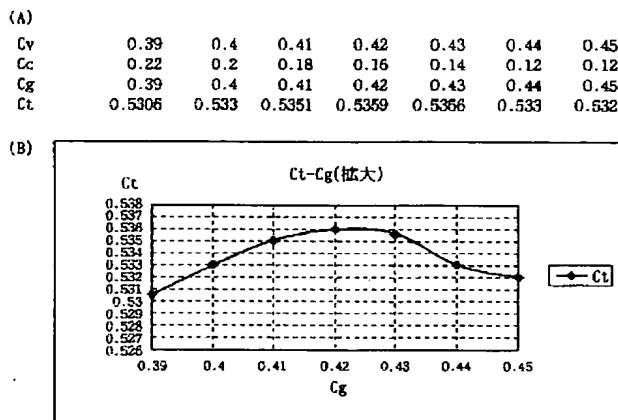
【図 49】



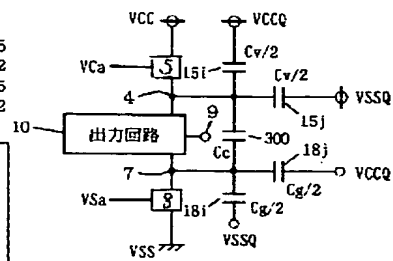
【図 50】



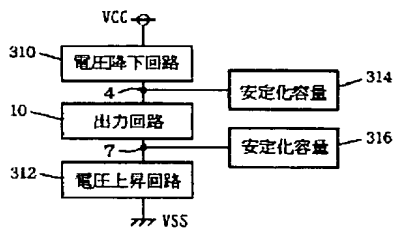
【図 46】



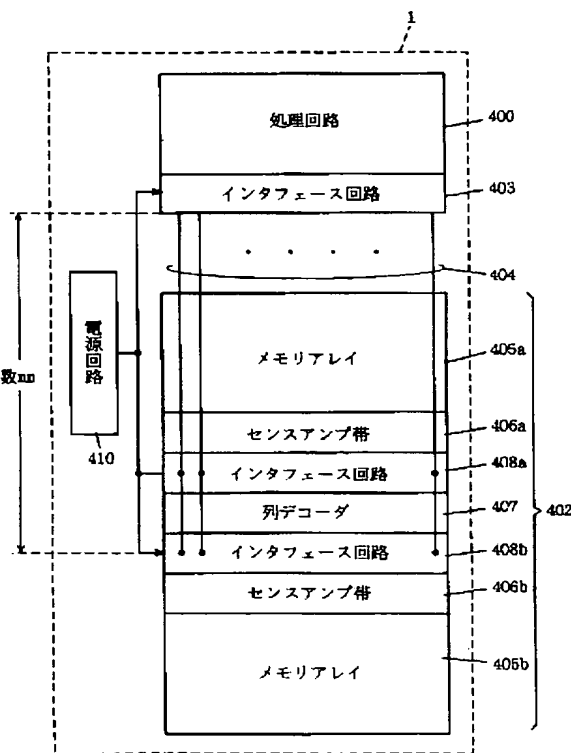
【図 51】



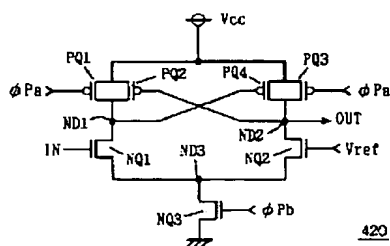
【図 52】



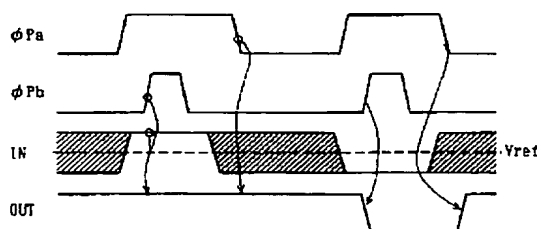
【図 53】



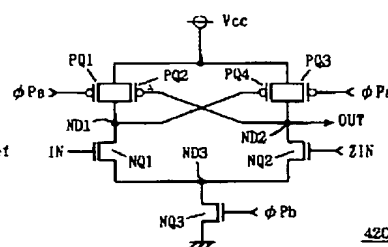
【図 55】



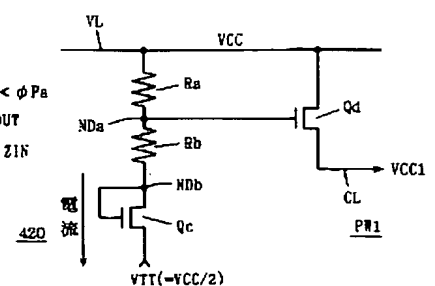
【図 56】



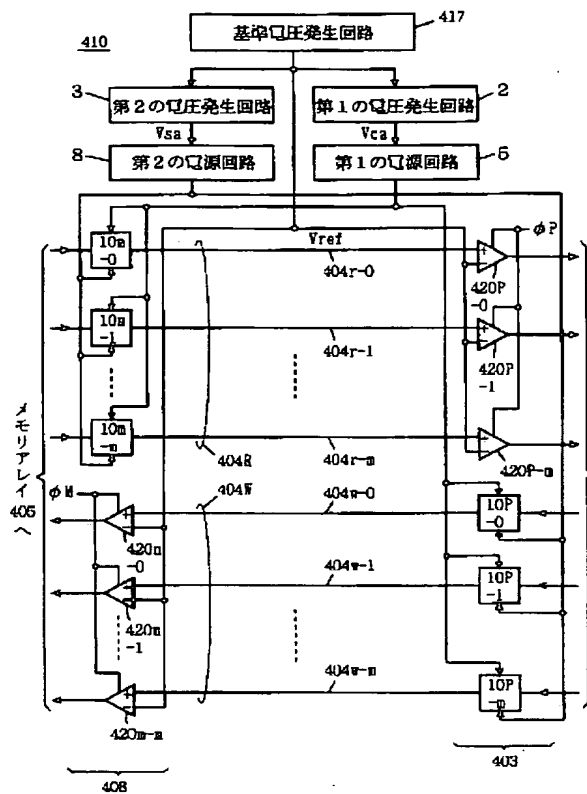
【図 58】



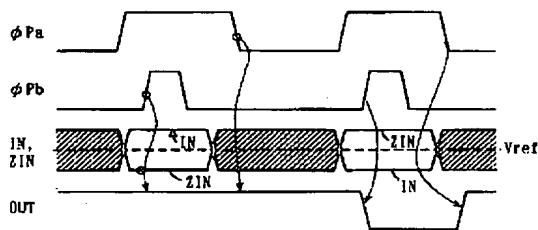
【図 68】



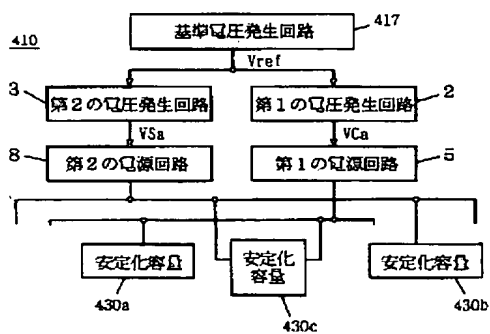
【図54】



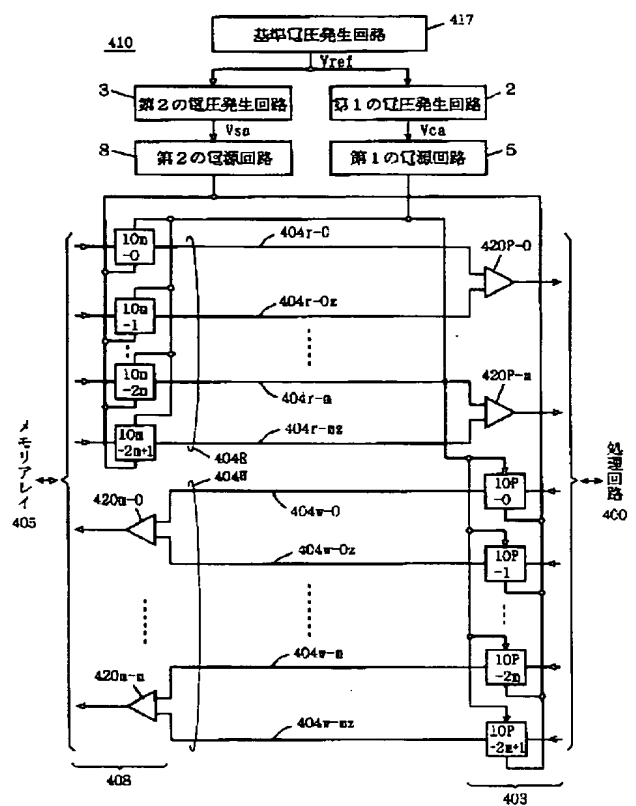
【図59】



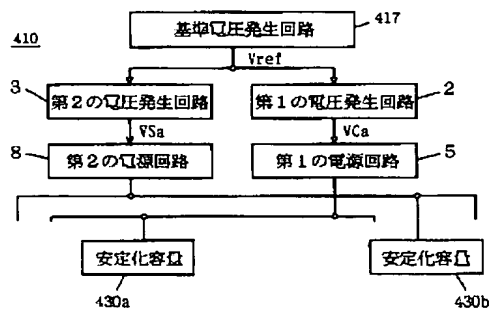
【図62】



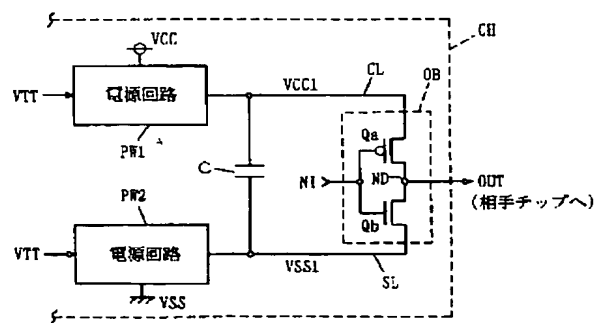
【図57】



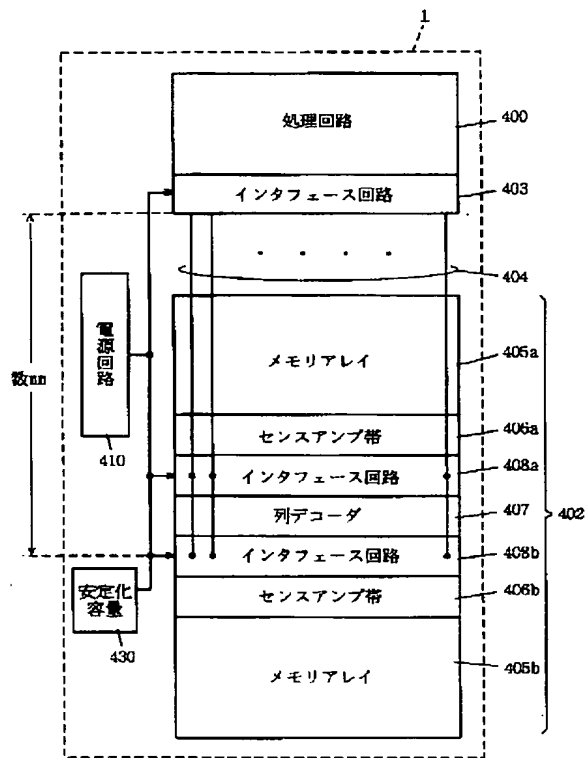
【図61】



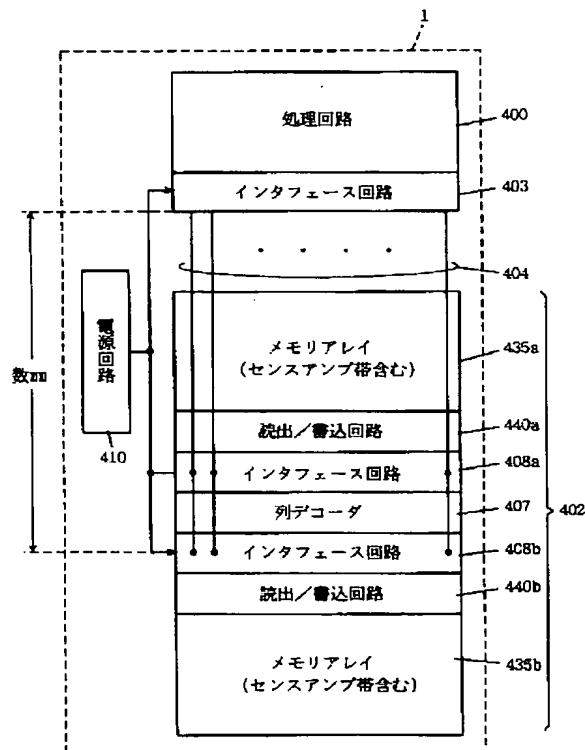
【図65】



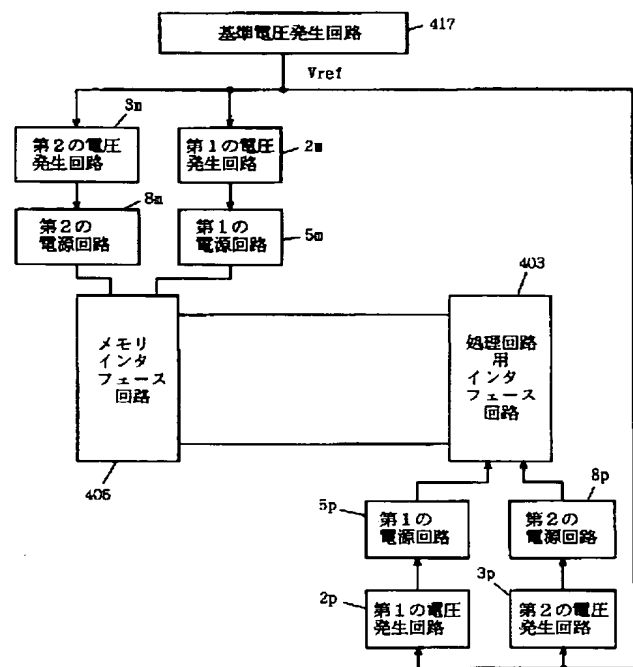
【図 60】



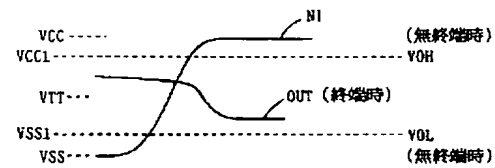
【図 64】



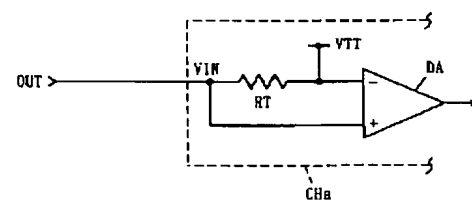
【図 63】



【図 66】



【図 67】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

G 1 1 C 11/401

11/407

11/409

F I

G 1 1 C 11/34

3 5 0

3 5 4 F

3 5 4 Q

3 7 1 K

H 0 3 K 19/00

1 0 1 A